

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-210798

(43)Date of publication of application : 03.08.2001

(51)Int.CI.

H01L 27/105

H01L 27/10

H01L 27/108

H01L 21/8242

(21)Application number : 2000-389336

(71)Applicant : TEXAS INSTR INC &lt;TI&gt;

(22)Date of filing : 21.12.2000

(72)Inventor : SUMMERFELT SCOTT R  
STEVEN R GILBERT  
COLOMBO LUIGI  
THEODORE S MOYES

(30)Priority

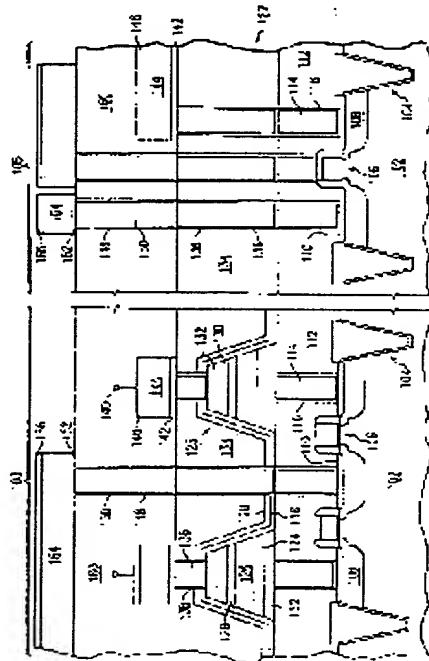
Priority number : 1999 171711 Priority date : 22.12.1999 Priority country : US

## (54) USE OF INSULATING AND CONDUCTIVE BARRIER FOR PROTECTING CAPACITOR STRUCTURE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a capacitor structure for a semiconductor device which does not degrade by hydrogen or contamination.

**SOLUTION:** A capacitor structure (125 of figure 1) comprises a lower electrode (124 of Fig. 1) provided with a side surface and an upper front surface, a capacitor dielectric (126 of Fig. 1) which, comprising an upper front surface and a side surface, is provided on the upper front surface of the lower electrode having such electric characteristics as to degrade by hydrogen, provided with upper electrodes (128 and 130 of Fig. 1) which comprise an upper front surface and side surface and provided on the capacitor dielectrics, a silicon nitride layer (120 of Fig. 1) provided on the side surface of capacitor dielectrics, and an aluminum oxide layer (118 of Fig. 1) provided between the side surface of capacitor dielectrics and silicon nitride layer.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-210798

(P2001-210798A)

(43) 公開日 平成13年8月3日 (2001.8.3)

(51) Int.Cl.<sup>7</sup>  
H 01 L 27/105  
27/10  
27/108  
21/8242

識別記号  
4 6 1

F I  
H 01 L 27/10  
4 6 1  
4 4 4 B  
6 2 1 Z  
6 2 1 C  
6 5 1

テマコト<sup>®</sup> (参考)

審査請求 未請求 請求項の数1 OL (全 28 頁)

(21) 出願番号 特願2000-389336 (P2000-389336)  
(22) 出願日 平成12年12月21日 (2000.12.21)  
(31) 優先権主張番号 1 7 1 7 1 1  
(32) 優先日 平成11年12月22日 (1999.12.22)  
(33) 優先権主張国 米国 (US)

(71) 出願人 590000879  
テキサス インスツルメンツ インコーポ  
レイテッド  
アメリカ合衆国テキサス州ダラス, ノース  
セントラルエクスプレスウェイ 13500  
(72) 発明者 スコット アール、サマーフェルト  
アメリカ合衆国 カリフォルニア、クバー  
チノ、パロ ビスタ ロード 10394  
(74) 代理人 100066692  
弁理士 浅村 哲 (外3名)

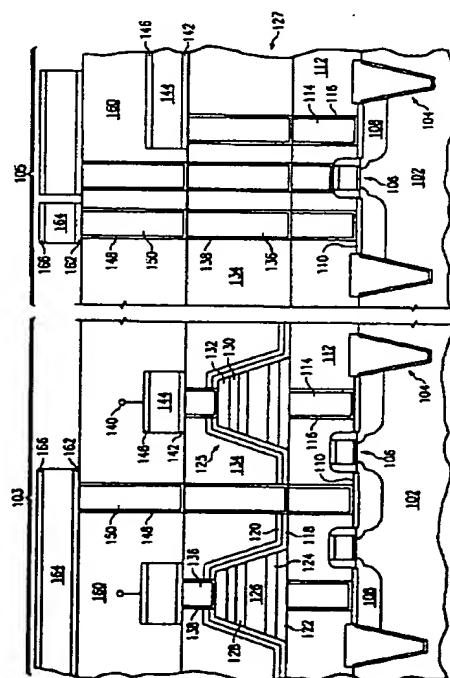
最終頁に続く

(54) 【発明の名称】 コンデンサ構造の保護のための絶縁性と導電性の障壁の使用

(57) 【要約】

【課題】 水素や汚染で劣化しない半導体デバイスのコンデンサ構造を提供する。

【解決手段】 コンデンサ構造 (図1の125) は側面と上表面とをそなえた下電極 (図1の124) と、上表面と側面とをそなえ、前記下電極の前記上表面の上に配置されたコンデンサ誘電体であって、水素により劣化する電気的特性をそなえるコンデンサ誘電体 (図1の126) と、上表面と側面とをそなえ、前記コンデンサ誘電体の上に配置された上電極 (図1の128および130) と、前記コンデンサ誘電体の前記側面の上に配置された窒化シリコン層 (図1の120) と、前記コンデンサ誘電体の前記側面と前記窒化シリコン層との間に配置された酸化アルミニウム層 (図1の118) とを含む。



## 【特許請求の範囲】

【請求項1】 コンデンサ構造であって、侧面と上表面とをそなえた下電極と、上表面と側面とをそなえ、前記下電極の前記上表面の上に配置されたコンデンサ誘電体であって、水素により劣化する電気的特性をそなえるコンデンサ誘電体と、上表面と側面とをそなえ、前記コンデンサ誘電体の上に配置された上電極と、前記コンデンサ誘電体の前記側面の上に配置された窒化シリコン層と、前記コンデンサ誘電体の前記側面と前記窒化シリコン層との間に配置された酸化アルミニウム層とを具備するコンデンサ構造。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体デバイスの製造と処理に関するものであり、更に詳しくは強誘電体、高誘電率の一方または両方のメモリデバイスの製造方法に関するものである。

## 【0002】

【従来の技術】 半導体デバイスの製造産業とエレクトロニクス産業には今日、いくつかの傾向が存在する。デバイスは絶えず、ますます小さくなり、消費電力がますます少くなりつつある。非常に小さい携帯形であるために、小さな電池を唯一の電源とするパーソナル装置の製造が増加しつつあることが、その理由である。たとえば、セルラー電話、パーソナル演算装置、およびパーソン

\* ナル音声システムが消費者市場で需要の大きな装置である。より小さく、より携帯に便利である上に、パーソナル装置はより高い演算能力とオンチップメモリを必要としつつある。これらの傾向のすべてを考慮に入れて、当業界では、メモリと論理機能を同一の半導体チップ上に集積した演算装置を提供することが求められている。電池が切れた場合にメモリの内容が保持されるようにこのメモリが構成されることが好ましい。電力が継続して印加されない間、その内容を保持するこのようなメモリデバイスは不揮発性メモリと呼ばれる。従来の不揮発性メモリの例としてはたとえば、電気的消去再書き込み可能な読み出しメモリ (EEPROM: electrically erasable programmable read only memory)、フラッシュEEPROMがある。

【0003】 強誘電体メモリ (FeRAM) は、下電極と上電極との間に配置されるコンデンサ誘電体として、ストロンチウム・ビスマス・タンタル酸 (SBT) またはジルコニウム酸・チタン酸鉛のような強誘電体材料を利用した不揮発性メモリである。FeRAMに対して読み出し動作と書き込み動作の両方が行われる。メモリのサイズとメモリのアーキテクチャがFeRAMの読み出しと書き込みのアクセス時間に影響を及ぼす。表1は異なるメモリ型の間の相違を示す。

## 【0004】

## 【表1】

表1

性質	SRAM	フラッシュ	DRAM	FeRAM (Demo)
電圧	>0.5V	読み出し>0.5V 書き込み(12V) (±6V)	>1V	3.3V
特殊トランジスタ	NO	YES (高電圧)	YES (低漏洩)	NO
書き込み時間	<10 ns	100 ns	<30 ns	60 ns
書き込み耐久性	>10 <sup>15</sup>	<10 <sup>5</sup>	>10 <sup>15</sup>	>10 <sup>15</sup>
読み出し時間 (シングル/マルチピット)	<10 ns	<30 ns	<30 ns / < 2 ns	60 ns
読み出し耐久性	>10 <sup>15</sup>	>10 <sup>15</sup>	>10 <sup>15</sup>	>10 <sup>15</sup>
埋込みのために 附加されたマスク	0	-6-8	-6-8	-3
セルサイズ(F <sub>2</sub> ～金属 ピッチ/2)	-80 F <sup>2</sup>	-8 F <sup>2</sup>	-8 F <sup>2</sup>	-18 F <sup>2</sup>
アーキテクチャ	NDRO	NDRO	DRO	DRO
不揮発性	NO	YES	NO	YES
記憶	I	Q	Q	P

【0005】 FeRAMの不揮発性は、強誘電体のメモリセルの双安定特性によるものである。二つの型のメモリセルが使用される。シングルコンデンサのメモリセル

とデュアルコンデンサのメモリセルである。(1T/1Cまたは1Cメモリセルと呼ばれる) シングルコンデンサのメモリセルはシリコンの所要面積が少ない(したが

って、メモリアレーの電位密度が大きい)が、雑音およびプロセスの変動の影響を受けにくい。更に、1Cセルは、記憶されたメモリ状態を判定するための電圧基準を必要とする。(2T/2Cまたは2Cメモリセルと呼ばれる)デュアルコンデンサのメモリセルはより大きなシリコン面積を必要とし、記憶された情報の差動サンプリングを可能とする相補信号を記憶する。2Cメモリセルは1Cメモリセルより安定である。

【0006】1T/1CのFeRAMセルには、一つのトランジスタと一つの記憶コンデンサがある。記憶コンデンサの下電極はトランジスタのドレインに接続される。1T/1Cのセルの読み出しは、トランジスタのゲート(ワードライン)に信号を印加し、それによりコンデンサの下電極をトランジスタのソース(ピットライン)に接続することにより行われる。次に、パルス信号が上電極コンタクト(プレートラインまたはドライブライン)に印加される。したがって、トランジスタのピットライン上の電位はコンデンサの電荷をピットラインのキャパシタンスで割ったものである。コンデンサの電荷は強誘電体材料の双安定分極状態によって左右されるので、ピットラインの電位は二つの異なる値をそなえることができる。センスアンプはピットラインに接続され、1または0の論理値に対応する電圧を検出する。しばしば、センスアンプの基準電圧は、読み出されていない、もう一つのピットラインに接続された強誘電体または非強誘電体のコンデンサの電圧である。このようにして、メモリセルのデータが検索される。

【0007】強誘電体メモリの特徴は、読み出し動作が用途によっては破壊的であるということである。メモリセル内のデータは、読み出し動作が完了した後、メモリセルに書き戻されなければならない。強誘電体の分極がスイッチングされた場合には、読み出し動作は破壊的であり、センスアンプはセルから読み出されたばかりのピットとして正しい分極値を(そのセルに)再書き込みしなければならない。これはDRAMの動作に類似している。ドライブラインの電圧が充分に小さくて強誘電体をスイッチングしない場合には、読み出し動作は破壊的でない。一般に、非破壊読み出しは破壊読み出しおよびずっと大きなコンデンサを必要とし、したがって、より大きなセルサイズを必要とする。

【0008】メモリアレー内の2T/2Cメモリセルはピットラインとピットラインの逆(ピットラインバー)に結合される。これは他の多くのメモリ型(たとえば、スタティックランダムアクセスメモリ)にも当てはまる。メモリブロックのメモリセルはメモリ行とメモリ列に形成される。デュアルコンデンサの強誘電体メモリセルは二つのトランジスタと二つの強誘電体コンデンサを含む。第一のトランジスタはピットラインと第一のコンデンサとの間を結合する。第二のトランジスタはピットラインバーと第二のコンデンサとの間を結合する。第一

および第二のコンデンサは共通の端子またはプレートをそなえており、これにコンデンサを分極するための信号が印加される。

【0009】書き込み動作では、デュアルコンデンサの強誘電体メモリセルの第一および第二のトランジスタは、メモリに記憶すべき論理状態に対応するピットラインとピットラインバー(ライン上の相補論理レベル)にコンデンサを結合することが許される。書き込み動作の間にコンデンサの共通端子にパルスを印加することにより、デュアルコンデンサのメモリセルは二つの論理状態の一方に分極される。

【0010】読み出し動作では、デュアルコンデンサのメモリセルの第一および第二のトランジスタは、第一および第二のコンデンサに記憶された情報をピットラインとピットラインバー(ラインに差信号が発生される。差信号はセンスアンプによって検知され、センスアンプはメモリに記憶された論理レベルに対応する信号を供給する。

【0011】強誘電体メモリのメモリセルは有限回の読み出し動作と書き込み動作に制限され、それを過ぎるとメモリセルが信頼できなくなる。FeRAMメモリに対して遂行することができる動作回数はメモリの耐久性として知られている。耐久性は不揮発性メモリを必要とする多数の用途で重要な要素である。メモリサイズ、メモリ速度、電力消費等の他の要素も、強誘電体メモリがメモリ市場で発展し得るか判定する際に役割を果たす。

### 【0012】

【発明が解決しようとする課題】基本的に本発明は、スタンドアロンデバイスまたは他の多くのデバイス型を含む半導体チップ上に集積されるデバイスであるFeRAMデバイスの製造に関するものである。いくつかの必要条件が現在存在しているか、または他のデバイス型とのFeRAMの集積のための必要条件となる。このような必要条件の一つは、FeRAMデバイスを含むこのチップを製造するために、チップ上に種々の論理デバイスとアナログデバイスを製造するために使用される従来のフロントエンドとバックエンドの処理手法をできる限り多く利用する。換言すれば、単にFeRAMデバイスをチップ上に集積するために、プロセスフローを大きく乱さないように(したがって、プロセスのコストと複雑さを増大しないように)、(I/Oデバイスおよび、もしかするとアナログデバイスの他に)これらの標準論理デバイスを製造するためのプロセスフローのできる限り多くを利用することが有益である。

【0013】以下の説明は、(化学記号がWであるタンゲステンのコンタクトの形成で終わるように定義されている)フロントエンドモジュールと(ほとんどがメタライゼーションである)バックエンドプロセスモジュール

との間に生じるF e R A Mプロセスモジュールで強誘電体コンデンサを作成するという概念に基づいている。F e R A Mプロセスモジュールの他の位置も提案された。たとえば、メタライゼーションの第一の層（メタル1）の上方にF e R A Mプロセスモジュールが配置された場合には、ピットライン構造上のコンデンサを作成することができ、より大きなコンデンサを作成することができるという利点がある。このアプローチの一つの欠点は、メタル1（チップ上の第一の金属層、これは基板に最も近い層である）またはローカルインタコネクトが（たとえば、タングステンに対する）F e R A Mプロセスの温度に適合すべきであるか、またはF e R A Mプロセスの温度を下げて標準のメタライゼーション（A I約450C、低誘電率材料約400C）に適合すべきであるということである。この位置には、商品メモリの目的に対してはいくつか利点があるが、埋込み形メモリの用途に対してはコストの欠点がある。

【0014】F e R A Mプロセスモジュールに対するもう一つの可能な位置はバックエンドプロセスフローの端の近くである。このアプローチの主要な利点は、F e R A Mモジュールの新しい汚染物質（P b、B i、Z r、I r、R u、またはP t）がより多くの生産工具に入らないようにすることである。第一のF e R A M膜の堆積後に使用される装置がF e R A Mデバイス構造の製造専用とされ、したがって、共用されない場合に、この解は最も実用的である。しかし、この解には、標準のメタライゼーション構造（前に示唆した制限）に適合するF e R A Mプロセス温度を必要とする欠点がある。更に、F e R A Mコンデンサと下にあるトランジスタとの相互接続、およびメタライゼーションの他の要求は最小のF e R A Mセルサイズに適合しない。

【0015】他の位置に対する必要条件には同じ心配が多いが、いくつかの必要条件は異なっている。

【0016】F e R A Mプロセスモジュールは、コンデンサの下コンタクトとしてタングステンコンタクトを使用する標準の論理とアナログデバイスのフロントエンドプロセスのフローに適合することが好ましい。ほとんどの論理デバイスが必要とする（タングステンのプラグおよびシリサイド化されたソース／ドレインとゲートを含む）低抵抗構造のようなフロントエンド構造に影響を及ぼさないようにF e R A Mの熱供給も充分に低くなければならない。更に、トランジスタ、およびダイオードのような他のフロントエンドデバイスは汚染に敏感である。F e R A Mプロセスモジュールからの汚染は、（チップ内の拡散のように）直接的なものであっても（共有装置を介した交差汚染のように）間接的なものであっても、トランジスタおよびダイオードが劣化しないように対処するべきである。F e R A Mデバイスおよびプロセスモジュールも標準のバックエンドプロセスフローに適合すべきである。したがって、F e R A Mプロセスモジ

ュールは、論理メタライゼーションの抵抗および金属とトランジスタとの間の寄生キャパシタンスの劣化が最小であるべきである。更に、F e R A Mデバイスはバックエンドプロセスフローによって劣化すべきでない。修正するにしても最小限であるべきである。これは重大な課題である。強誘電体コンデンサは水素の劣化に敏感であることが示されており、ほとんどの論理バックエンドプロセスフローは多くのプロセスで（たとえば、S i O<sub>2</sub>とS i<sub>3</sub>N<sub>4</sub>の形成、C V Dタングステンの堆積、S i O<sub>2</sub>ビアエッティング、およびガス熱処理形成において）水素や重水素を利用するからである。

【0017】F e R A Mの商業的な成功によっても、埋込み形メモリのコストを最小にする必要がある。合計のメモリコストは主としてセルサイズ、周辺比サイズ、歩留まりの影響、およびメモリに対応する付加プロセスコストによって左右される。埋込み形D R A Mおよびフラッシュのような標準の埋込み形メモリと比べてピット当たりのコストの利点を得るために、標準の埋込み形メモリのテクノロジーで得られるのと同様なF e R A Mセルサイズをそなえることが望ましい。セルサイズを最小にするためにこの特許で説明されている方法のいくつかには、プロセスフローをリソグラフィのミスアライメントに敏感でなくすること、コンデンサをコンタクトの真上に形成すること、コンデンサのスタックエッティングのために単一マスクを使用することが含まれる。この特許で説明されている方法のいくつかでは、付加的なプロセスコストを削減するために、F e R A Mプロセスモジュールに対する二つの付加的なマスク、および必要とされるプロセスの複雑さを少なくするプレーナコンデンサを必要とすることがある。

【0018】この特許はプレーナコンデンサを使用することに集中するが、ポストまたはカップ構造を使用する三次元コンデンサは、同じ概念とプロセスの多くを使用して製造することができる。より簡単なプロセスを使用し、製造費が少ないので、プレーナ構造について説明する。最小電荷蓄積の配慮で必要とされるプレーナコンデンサの面積がセルサイズを制限するときは、三次元コンデンサが好ましい。この状況では、三次元構成に対応するコンデンサ面積の増強により、プレーナセルサイズをより小さくすることができる。D R A Mデバイスは、セル面積を小さくするために長年の間、このアプローチを使用してきた。

【0019】

【課題を解決するための手段】本発明の一実施例はコンデンサ構造であって、側面と上表面とをそなえた下電極と、上表面と側面とをそなえ、前記下電極の前記上表面の上に配置されたコンデンサ誘電体であって、水素により劣化する電気的特性をそなえるコンデンサ誘電体と、上表面と側面とをそなえ、前記コンデンサ誘電体の上に配置された上電極と、前記コンデンサ誘電体の前記側面

の上に配置された窒化シリコン層と、前記コンデンサ誘電体の前記側面と前記窒化シリコン層との間に配置された酸化アルミニウム層とを具備するコンデンサ構造である。好ましくは、前記コンデンサ誘電体はP Z Tを含み、前記上電極はイリジウム、酸化イリジウム、またはそれらのスタックの任意の組合せを含み、前記下電極はイリジウム、酸化イリジウム、またはそれらのスタックの任意の組合せを含む。前記酸化アルミニウム層は前記下電極の前記側面と、前記上電極の前記側面と、前記コンデンサ誘電体の前記側面の上に配置してもよく、あるいは前記酸化アルミニウム層は前記下電極の前記側面と、前記上電極の前記側面と、前記コンデンサ誘電体の前記側面と接触して配置してもよい。更に、前記酸化アルミニウム層は前記上電極の前記上表面の上に配置してもよい。好ましくは、コンデンサは更に前記酸化アルミニウム層と前記窒化シリコン層との間に配置された第一の層をも含み、前記第一の層はB O<sub>x</sub>、A I N、B N、またはそれらのスタックの任意の組合せを含む。

【0020】同じまたは同等の部分を表すために図を通じて類似の参考番号が使用される。図は一定の割合で描かれていない。図は本発明の方法の影響を示すためのものに過ぎない。

#### 【0021】

【発明の実施の形態】本発明の以下の説明は、チップ上のデジタル信号プロセッサ、マイクロプロセッサ、スマートカード、マイクロコンピュータ、マイクロコントローラ、またはシステムに見出すことができる論理デバイスおよび他のデバイスとともにF e R A Mデバイスを集積することを中心としているが、本発明を使用してスタンダロンF e R A Mデバイス、または他の多くのデバイス型をそなえる半導体チップに集積されたF e R A Mデバイスを製造することができる。特に、標準の半導体メモリと比較して改善された本発明のF e R A Mデバイスの性能によりF e R A Mは、低電力と高デバイス集積度を必要とする任意の手で持つ装置のメモリとなる。ここに示した図と、図に付随する説明は説明の目的で与えられたものに過ぎない。本説明に基づいて通常程度の当業者は、図と以下の説明に示されたデバイスと構造を製造するための他の構成および方法を理解されるはずである。たとえば、浅いトレンチアイソレーション構造(STI: shallow trench isolation structures)が示されているが、(LOCOS領域としても知られている)フィールド酸化領域またはインプランテーションされた領域のような任意の従来のアイソレーション構造を使用してもよい。更に、構造102は好ましくはn型またはp型にドーピングされた単結晶シリコン基板であるが、構造102(図1)は単結晶シリコン基板の上にエピタキシャルシリコン層を製造することにより形成してもよい。

【0022】図1には二つのデバイスが示されている。

10 デバイス103は本発明のF e R A Mセルの部分的に製造されたバージョンを表す。デバイス105は、任意の高電圧トランジスタ、低電圧トランジスタ、高速論理トランジスタ、I/Oトランジスタ、アナログトランジスタ、もしくはデジタル信号プロセッサ、マイクロプロセッサ、マイクロコンピュータ、マイクロコントローラ、または任意の他の半導体装置に含まれ得る任意の他のデバイスを表す。デバイス103で与えられる特定のセル構造を除いて、デバイス103で利用される構造は

(デバイス105がそうであり得る、異なるデバイス型によるトランジスタの生じ得る変動を除けば)デバイス105のデバイス構造と同じであるべきである。

【0023】基本的にはゲート構造106は、(好ましくは、二酸化シリコン、酸化窒化物、窒化シリコン、B S T、P Z T、けい酸塩、任意の他の高k材料、またはそれらの任意の組合せまたはスタックで構成された)

ゲート誘電体、(好ましくは、上部にけい酸塩が形成されたp型またはn型にドーピングされた多結晶シリコン、またはチタン、タンゲステン、T i N、タンタル、T a Nのような金属で構成された)ゲート電極、および(好ましくは、酸化物、窒化物、酸化窒化物、またはそれらの組合せまたはスタックで構成された)側壁絶縁体を含む。一般に、包括的な用語である酸化物、窒化物、および酸化窒化物は酸化シリコン、窒化シリコン、および酸化窒化シリコンを指す。「酸化物」という用語は一般に、ホウ素、リンの一方または両方がドーピングされた酸化シリコンのような、ドーピングされた酸化物を含んでよい。ソース/ドレイン領域108は好ましくは、従来のドーパントおよび処理条件を使用してインプランテーションされる。軽度にドーピングされたドレイン延長部とポケットインプラントを利用してよい。更に、ソース/ドレイン領域108は(好ましくは、チタン、コバルト、ニッケル、タンゲステン、または他の従来のシリサイド材料で)シリサイド化してもよい。

20 【0024】誘電体層112が基板全体の上に形成される。そして形成すべき基板およびゲート構造に対するコンタクトのための開口が形成されるように、誘電体層112に対してパターン形成およびエッチングが行われる(図2のステップ202)。これらの開口は一つ以上の

30 導電性の材料、たとえば(好ましくは、タンゲステン、モリブデン、チタン、窒化チタン、窒化タンタル、のような金属、T i、N i、またはC oのような金属シリサイド、銅またはドーピングされたポリシリコンで構成された)プラグ114で充たされる。ライナ/障壁層をプラグ114と誘電体112との間に形成してもよい。ライナ/障壁層116が図1に示されており、好ましくは、T i、T i N、T a S i N、T a、T a N、T i S i N、それらのスタック、または任意の他の従来のライナ/障壁材料で構成される。好ましくは、コンタクトが

50 ソース/ドレイン領域のシリサイド化された領域および

ゲート構造の上に乗るように形成される。

【0025】誘電体層112は好ましくは、(ホウ素またはリンのような好ましいドーパントでドーピングされた、またはドーピングされない)  $\text{SiO}_2$ で構成され、多分、ゲートに隣接した窒化シリコンを含む水素または重水素の層をそなえる。拡散障壁の堆積後、化学的機械的研磨のようなプロセスを使用して上にある層のリソグラフィを改善するために障壁を平坦にする可能性が高い。更に、プラナリゼーションプロセスの後に堆積される  $\text{AlO}_x$ 、 $\text{AlN}$ 、 $\text{Si}_3\text{N}_4$ 、 $\text{TiO}_2$ 、 $\text{ZrO}_2$ 、または  $\text{TaO}_x$  のような、層112の上表面近くに付加された拡散障壁/エッチストップが含まれるかも知れない。この拡散障壁が特に有用であるのは、ダマスカスプロセスを使用してコンタクトに対するビアまたはメタライゼーションを作成する場合である。プラグ114の形成には、この選択的な障壁/エッチストップを介したエッチングが必要となる。

【0026】コンタクトの上に位置する金属構造の形成はバックエンドプロセスの一部と考えられる。特定のFeRAMプロセスモジュールを除けば、バックエンドプロセスは半導体産業で標準のバックエンドプロセスであるべきである。したがって、メタライゼーションは  $\text{Al}$  または  $\text{Cu}$  をベースとしたものである。ダマスカスアプローチで  $\text{Cu}$  が好ましくは使用されている間、 $\text{Al}$  が好ましくはエッチングされる。しかし、ダマスカスアプローチで形成される  $\text{Cu}$  と  $\text{Al}$  をエッチングすることも可能である。アルミニウムのメタライゼーションは好ましくは  $\text{CVD}$  タングステンプラグまたは  $\text{Al}$  プラグをそなえており、エレクトロマイグレーション抵抗を改善するために  $\text{Al}$  は好ましくは  $\text{Cu}$  ドーピングされる。 $\text{Al}$  に対する金属拡散障壁は好ましくは  $\text{TiN}$ 、 $\text{Ti}$  の一方または両方を含む。銅のメタライゼーションは好ましくは、 $\text{Ti}$ 、 $\text{TiN}$ 、 $\text{TiSiN}$ 、 $\text{Ta}$ 、窒化タンタルと  $\text{TaSiN}$  拡散障壁の一方または両方をそなえた  $\text{Cu}$  または  $\text{W}$  プラグをそなえる。各レベル間誘電体 (ILD: interlevel dielectric) 層112 (層112、134および160) の間に薄い誘電体層 (図示しない) を形成してもよい。形成される場合には、この薄い層は好ましくは窒化シリコン、炭化シリコン、 $\text{SiCNO}$ 、または酸化シリコン (好ましくは高密度プラズマ酸化物) で構成される。更に、レベル間誘電体層112、134および160は好ましくは、酸化物、FSG、PSG、BPSG、PETEOS、HDP酸化物、窒化シリコン、酸化窒化シリコン、炭化シリコン、炭化酸化窒化シリコン、低誘電率材料 (好ましくは、 $\text{SiLK}$ 、ポーラス  $\text{SiLK}$ 、テフロン (登録商標)、低Kポリマー (多分ポーラス)、エーロゲル、キセロゲル、黒ダイヤ、HSQ、または任意の他のポーラスガラス材料)、またはそれらの組合せまたはスタックで構成される。インタコネクトおよび金属ラインは好

ましくは、同じ材料で構成される。好ましくは、プラグ136と150、および導体144と164は金属材料 (好ましくは、銅、アルミニウム、チタン、 $\text{TiN}$ 、タンゲステン、窒化タンゲステン、またはそれらの組合せまたはスタック) で構成される。障壁/ライナはプラグとレベル間誘電体層との間に形成してもよい。形成される場合には、(層138と148ならびにライナ142、146、162、および166として示されている) 障壁/ライナ層は好ましくは、 $\text{Ti}$ 、 $\text{TiN}$ 、窒化タンゲステン、 $\text{Ta}$ 、窒化タンタル、任意の従来の障壁/ライナ層、またはそれらの任意の組合せまたはスタックで構成される。層間誘電体とプラグ材料はFeRAM熱バジェットに適合するべきである。既存のテクノロジー (すなわち、Wプラグおよび  $\text{SiO}_2$  ILDを組込むテクノロジー) では、FeRAM熱バジェットは約600または650°Cより小さくなるべきである。低誘電率 (低K) 層を含むようにILDが修正された場合には、FeRAM熱バジェットは更に減らす必要がある。したがって、好適な層間誘電体112は600°Cを超える熱バジェットに耐えることができる材料、たとえば、(ドーピングされるか、ドーピングされない一方または両方の) 酸化シリコン、窒化シリコン、酸化窒化シリコン等である。

【0027】FeRAMセル (FeRAMプロセスモジュール) を収容するようにレベル127が付加される。このFeRAMプロセスモジュールにより、強誘電体または高誘電率のコンデンサの作成を容易に付加することができ、新しいプロセスモジュールに対する熱バジェットは最大になるが、バックエンドプロセスの熱バジェットには影響を及ぼさない。特に、このレベルにより、高密度メモリに適合するビットライン構成の下にコンデンサのあるFeRAMデバイスが可能となる。しかし、平坦さが必要でなければ、領域105に層127を形成しないでFeRAMデバイスを形成することが可能である。したがって、FeRAM部分103は層127の高さだけ領域105より高くなる。

【0028】FeRAMコンデンサ125は数個の層で構成される。コンデンサ誘電体の後続の処理の間、プラグ114を保護する必要があるか否かに基づいて、導電性の障壁層122を形成してもよいし、形成しなくてもよい。形成された場合、導電性の障壁層122は好ましくは、 $\text{TiAIN}$ 、もしくは  $\text{TaSiN}$ 、 $\text{TiSiN}$ 、 $\text{TiN}$ 、 $\text{TaN}$ 、 $\text{HfN}$ 、 $\text{ZrN}$ 、 $\text{HfAIN}$ 、 $\text{CrN}$ 、 $\text{TaAIN}$ 、 $\text{CrAIN}$ 、または任意の他の導電性の材料を含む他の可能な障壁 (その中のいくつかは  $\text{TiN}$  と比べて酸化速度が遅い) で構成される。この層の厚さは好ましくは、(0.18 μmのビアに対して) 60 nmのオーダである。将来、ビアのサイズをスケーリングすることにより、障壁の厚さもスケーリングすることができる。これらの障壁層に対する好適堆積手法はAr

$+ N_2$  または  $A\ r + NH_3$  を使用する反応性スパッタ堆積である。  $A\ r$  はコストおよび性能に基づくスパッタ堆積または物理的エッチングのために使用される標準不活性ガスであることに注意すべきである。本明細書に説明されているプロセスを通じてこれらの用途に対して  $A\ r$  の代わりに他の不活性ガスを使用することが可能である。使用されるかも知れない他の堆積手法には、化学蒸着 (CVD: chemical vapor deposition) またはプラズマエンハンスと CVD (PECVD) を含む。有機金属プレカーソルを使用するときには特に、窒化物の CVD により実際には炭化酸化窒化物が得られ、これも多くの場合受け入れができる。好適な W コンタクトの場合、二相拡散障壁を堆積することが好適である。まず、 PVD の  $T\ i A\ l\ N$  (30 nm が好適) に続いて CVD の  $T\ i N$  (40 nm が好適) が堆積される。更に好適なのは  $T\ i A\ l\ N$  (約 60 nm) の CVD または PECVD の堆積となる。  $T\ i A\ l\ N$  の中のアルミニウムの好適な比率は約 30-60 % の  $A\ l$  であり、酸化抵抗を改善するためには 40-50 % がより好適である。より良い拡散障壁 (たとえば、本発明の実施例の拡散障壁) により一般に、酸素に安定な下電極材料をより薄くするか、またはより高いプロセス温度を使用することができる。

【0029】コンデンサ 125 の下電極 124 は、下にあるコンタクト構造と電気的接続をするように障壁層 122 または層 112 の真上に形成される (ステップ 206)。好ましくは、下電極は厚さが約 25-100 nm であり、酸素の中で安定であり、イリジウム、酸化イリジウム、Pt、Pd、 $PdO_x$ 、Au、Ru、 $RuO_x$ 、Rh、 $RhO_x$ 、 $LaSrCoO_3$ 、(Ba, Sr)  $RuO_3$ 、 $LaNiO_3$ 、またはそれらの任意のスタックまたは組合せののような貴金属または導電性の酸化物で構成される。貴金属を使用する電極の場合、コストと集積の容易さの見地から、できる限り薄い層を使用することは有益である。PZT コンデンサ誘電体に対する好適な下電極は、50 nm の Ir、または好ましくは、30 nm の  $IrO_x$  と Ir (Ar) に対するスパッタ堆積、 $IrO_x$  に対する反応性スパッタ堆積の一方または両方によって堆積される 20 nm の Ir と構成されるスタックである。より低い強誘電体の堆積温度によって、好適である更に薄い電極が可能となるかも知れない。これらの層に対する好適な堆積手法はスパッタまたは反応性スパッタ堆積または化学蒸着である。下電極のストレスを制御するために、ポスト下電極熱処理は好ましくは、ストレス緩和と、下電極のマイクロ構造/安定性の改善の、一方または両方のために行われる。代表的な熱処理条件は酸素または不活性ガス混合物内の 400-600°C で 2-10 分間である。この熱処理は下電極の形成後の任意の時点に行ってよいが、好ましくは、ILD160 の形成の前に行う。

【0030】コンデンサ誘電体は下電極の上に形成される (ステップ 208)。好ましくは、コンデンサ誘電体 126 は厚さが 150 nm より小さく (より好ましくは、厚さが 100 nm より小さく、最も好ましくは、厚さが 50 nm より小さく)、強誘電体材料、たとえば、Pb (Zr, Ti) O<sub>3</sub> (PZT-ジルコニウム酸チタン酸鉛)、ドナー (Nb, La, Ta) とアクセプター (Mn, Co, Fe, Ni, Al) の一方または両方をドーピングした PZT、 $SrTiO_3$ 、 $BaTiO_3$  または  $CaTiO_3$  をドーピングし、それと合金された PZT、タンタル酸ストロンチウム・ビスマス (SBT) とタンタル酸ニオブ酸ストロンチウム・ビスマス (SBN) のような他の層状ペロブスカイト (perovskites)、チタン酸ビスマス、 $BaTiO_3$ 、 $PbTiO_3$ 、または  $Bi_2TiO_3$  で構成される。PZT はコンデンサ誘電体に対する最も好適な選択である。PZT は前記材料の最高の分極と最低の処理温度をそなえているからである。更に、良好な強誘電体のスイッチング特性 (大きなスイッチングされた分極と比較的長方形に見えるヒステリシスループ) を得るために、好適な  $Zr/Ti$  の組成はそれぞれ約 20/80 である。その代わりに、コンデンサ特性の一様さを最大にするために、約 65/35 の  $Zr/Ti$  の組成が好適であることもある。すべての状況で、約 0.05 から 1 % のドナードーパントでドナードーピングされた PZT とすることが好適である。ドナードーパントは、点欠陥の集中の制御を助けることにより PZT の信頼度を改善する。これらの誘電体に対する好適な堆積手法は金属有機化学蒸着 (MOCVD: metal organic chemical vapor deposition) である。MOCVD は特に薄膜 (すなわち、厚さが 100 nm より小さい膜) の場合に好適である。薄い PZT は、集積をより簡単に (エッチングすべき材料を少なくする) 、より安価にする (堆積すべき材料を少なく、したがって、プレカーソルを少なくする) 上で極めて有利であり、より低い電圧の動作 (一ほぼ同じ抗電界に対する、より低い抗電圧) を可能とする。コンデンサ誘電体は結晶/多結晶状態で堆積することができるか、または低温で非晶質フェーズで堆積した後、堆積後熱処理を使用して晶化させられる。これは通常、 $Bi$  強誘電体膜に対して行われる。堆積後晶化熱処理は堆積直後に、もしくは電極堆積またはコンデンサエッチング後熱処理のような後のプロセスステップ後に行うことができる。好適な MOCVD の PZT アプローチにより、好ましくは、450-600°C の間 (より好ましくは、500 と 550°C の間) の温度で堆積された多結晶膜が得られる。

【0031】コンデンサ誘電体 126 の上に上電極が形成される (ステップ 210)。本発明のこの実施例では、上電極は層 128 および 130 として示されている。しかし、上電極は 1 層だけで構成することもでき

る。好ましくは、層128は(好ましくは、厚さが100nmより小さい—より好ましくは、厚さが50nmより小さい)酸化イリジウムで構成され、層130は(好ましくは、厚さが100nmより小さい—より好ましくは、厚さが50nmより小さい)イリジウムで構成される。特に、多数の反対の状態の書き込み/読出し動作による劣化(疲労)を最小にするように、Pbをベースとする強誘電体は純粋な貴金属ではなくて、IrO<sub>x</sub>、RuO<sub>x</sub>、RhO<sub>x</sub>、PdO<sub>x</sub>、PtO<sub>x</sub>、AgO<sub>x</sub>、(Ba, Sr)RuO<sub>3</sub>、LaSrCoO<sub>3</sub>、LaNiO<sub>3</sub>、YBa<sub>2</sub>Cu<sub>3</sub>O<sub>7-x</sub>のような導電性酸化物の上電極をそなえることが有益である。SBTのようなBiを含む強誘電体の多くはPt、Pd、Au、Ag、Ir、Rh、およびRuのような貴金属電極を使用することもでき、なお良好な疲労特性を保持することができる。上電極が酸化物である場合には、上電極コンタクトと酸化物との間に低い接触抵抗を維持するために上電極の上に貴金属層をそなえることが有益である。たとえば、IrO<sub>x</sub>と接触しているTiN層は後続の熱プロセスの間、絶縁しているTiO<sub>2</sub>を形成することが可能である。Pt、Ru、Pd、またはIrのような高価な貴金属を使用する任意の電極の場合、コストと集積の見地から、できる限り薄い層を使用することが有利である。PZT電極の場合、好適な上電極スタックは、PZTコンデンサ誘電体の上にAr+O<sub>2</sub>内の反応性PVDによって堆積された約20nmのIrO<sub>x</sub>の上にAr内のPVDによって堆積された約10nmのIrで構成される。IrO<sub>x</sub>は、比較的低いスパッタ電力、したがって、遅い堆積速度(20nm/分より小さいことが好ましい)で残りのアルゴンと50%と80%との間のO<sub>2</sub>とのガス混合物の中で400°C未満で堆積されることが好ましい。上電極でストレスを制御するためにハードマスクの堆積の前に上電極を熱処理することができる。たとえば、熱処理された電極の応力は引っ張りであるが、スパッタ堆積された電極は通常、圧縮応力を受ける。

【0032】好ましくは、コンデンサスタック全体に対して一度に、好ましくは、いくつかの層に対して異なるエッチング用試薬を使用して、パターン形成とエッチングを行う(ステップ214)が、後続の層の形成の前に各層または層群をエッチングすることができる。複数の層またはすべての層を同時にエッチングする場合、ハードマスク層132が好ましくは、スタック上方に形成される(ステップ212)。好ましくは、ハードマスクは、エッチングプロセスの間その完全性を維持するよう充分に厚い材料で構成される。ハードマスクは好ましくは、厚さが約50から500nm(より好ましくは厚さが約100から300nm、最も好ましくは厚さが約200nm)であり、TiAlN、TiN、Ti、TiO<sub>2</sub>、Al、AlO<sub>x</sub>、AlN、TiAl、TiAlO<sub>x</sub>、Ta、TaO<sub>x</sub>、TaN、Cr、CrN、Cr

O<sub>x</sub>、Zr、ZrO<sub>x</sub>、ZrN、Hf、HfN、HfO<sub>x</sub>、酸化シリコン、低k誘電体、またはそれらの任意のスタックまたは組合せで構成される。ハードマスクスタックの一例は、50nmのスパッタ堆積されたTiAlNまたはTiNの上に300nmのPECVD堆積されたSiO<sub>2</sub>である。ハードマスクの厚さは、種々の材料のエッチングプロセスと相対エッチング速度、エッチングされた層の厚さ、必要なオーバエッチングの量、およびすべての層のエッチング後の所望の残りのハードマスクの厚さによって制御される。層が薄いと、ハードマスクは細くなる。ハードマスクはコンデンサスタックのエッチング後に除去してもよいし、除去しなくてもよい。ハードマスク132が除去されない場合には、導電性の材料のハードマスクを形成することが好ましい。しかし、非導電性または半導電性の材料を使用してもよいが、上電極への直接接続を行うように、コンデンサの上電極への相互接続は好ましくは、このハードマスクを介して形成すべきである。

【0033】ハードマスクの輪郭と残りのハードマスクの厚さをより良く制御するために、ハードマスクの堆積は単一の層または異なる材料の複数の層のスタックとしてもよい。窒化金属のハードマスクに対する好適な堆積プロセスはAr+N<sub>2</sub>ガス混合物を使用するスパッタ堆積である。ハードマスクを含む酸化シリコンに対する好適な堆積プロセスはTEOSのPECVDである。

【0034】コンタクトの形成後、いくつかの異なる堆積ステップを説明してきた。すなわち、下拡散障壁、下電極、強誘電体、上電極、およびハードマスクである。これらのプロセスステップで使用されるすべての装置またはほぼすべての装置は強誘電体の要素によって汚染される可能性があると考えられる。したがって、これらの装置は専用と考えられる。ウェーハの裏側には、高くなきにしても、かなりの汚染レベルが生じる可能性が高い。ハードマスクの堆積後の次のプロセスステップは通常、リソグラフィである。裏側が汚染したウェーハをこのツールにより処理することにより、ツールは汚染するので、このツールにより処理されたクリーンなウェーハが汚染し、FeRAMの裏側が汚染する。したがって、リソグラフィ装置を共用できるようにFeRAMウェーハの裏側を洗浄し、FeRAMのいかなる汚染もなしにクリーンなウェーハをリソグラフィ装置により処理することができる。ハードマスクがSiO<sub>2</sub>のような標準材料を含む場合には、ハードマスクのこの後の部分の堆積の前にウェーハの裏側が洗浄されることがあるかも知れない。たとえば、ハードマスクがTiAlNの上のSiO<sub>2</sub>で構成される場合には、TiAlN堆積プロセスの後でSiO<sub>2</sub>堆積プロセスの前にウェーハの裏側を洗浄することが好ましい。これにより、SiO<sub>2</sub>堆積ツールの汚染が防止され、したがって、これを共用することができる。この洗浄プロセスは裏側の汚染の要素とそれら

の汚染レベルによって左右される。好適なアプローチ（PVD障壁、ハードマスク、下電極、上電極、およびMOCVDのPZT）では、裏側に低レベルのIrがあるが、MOCVDプロセスを採用する連続した膜はエッジ除外をそなえない。したがって、この型のウェーハ汚染の場合、好適な裏側ウェーハ洗浄プロセスは、裏側、エッジ、およびエッジの近くのウェーハの表側の小領域をエッティングする湿式エッティングプロセスである。エッティングプロセスは若干、ウェーハの裏側に存在する材料によって左右される（たとえば、それがSi、SiO<sub>2</sub>、またはSi<sub>3</sub>N<sub>4</sub>の場合）。湿式エッティングPZTは好ましくは、ふつ素の強酸、または酸と塩素およびふつ素のエッティング薬品との混合物、たとえばH<sub>2</sub>O+HF+HClまたはH<sub>2</sub>O+NH<sub>3</sub>HF+HClを使用して行われる。

【0035】一つのリソグラフィステップだけでコンデンサ STACKに対するパターン形成とエッティングのプロセスを行うことが好ましい。これは安いだけでなく、二つ以上のリソグラフィステップが使用される場合に必要なミスアライメントの許容範囲を除去することによりセルサイズをより小さくすることを可能にする。前に説明したように、好適なアプローチは複数のエッティングプロセスでハードマスクを使用することである。更に急峻な側壁の傾斜と、したがって、より小さい最小寸法（CD: critical dimension）の成長を達成するために、上昇させた温度を使用することにより、これらのエッティングプロセスを修正することができる。一般に、CD成長を最小にすることが好ましく、そしてこれは、より急峻なエッティング輪郭をそなえること、より薄い層をそなえることの一方または両方により達成することができる。ハードマスクを利用する本発明の一実施例の低温エッティングプロセスはPZTおよびIrの構造に対して約74度の側壁傾斜を達成するが、TiAlN構造の輪郭はより急峻となる。IrおよびPZT（遅いエッティング速度の材料）のエッティング速度は約100nm/分である。

【0036】エッティングプロセスはよごれるプロセスであるので、ウェーハのエッティングツール、表側、エッジ、および裏側がFeRAMで汚染するか、またはFeRAMで汚染したエッティングの残留物がつくことになる可能性がある。したがって、ウェーハの表側を洗浄してエッティングの残留物を化学的に除去し、そして多分損傷したPZTの薄い層を除去することが必要である。このコンデンサエッティング後の湿式洗浄は、あるエッティング条件と薬品の場合は、超純水（DI水またはDIW）洗浄（超音波を伴う、又は伴わないタンク漬の後のスピルンス）と同様に簡単にできるか、もしくは洗浄を改善するか、またはより多くの損傷を除去するためにタンクエッティングは酸ベースとしてもよい。このエッティングプロセスの結果として、側壁上の貴金属のよう

なエッティングが難しい材料の導電性の層の再堆積も生じ得る。たとえば、Irの下電極では、PZTの側壁上にIrを再堆積することがあり、その結果コンデンサに対して許容できないほど高い漏れ電流が生じ得る。強誘電体材料を少しエッティングする薬品を使用して、この望ましくない材料を除去するためにも湿式洗浄（ステップ216）を使用することができ、これは望ましくない材料を溶液に保持することも行う。ウェーハの裏側とエッジは多分、FeRAM要素の再堆積によって著しく汚染される。FeRAM要素は共用ツールでプロセスの前に除去されるべきである。

【0037】コンデンサエッティングの結果、回収する必要のある強誘電体が損傷したり劣化する。この損傷から回復する一つの方法（ステップ216）は、（生じたかも知れない酸素の損失を回収するための）O<sub>2</sub>プラズマの照射、（酸素を追加するためと、エッティングプロセスによって生じる損傷した表面の結晶化度を改善するための）不活性または酸化の雰囲気の中でのRTAまたは電気炉熱処理の一方または両方によるものである。PZTの場合、この熱処理は好ましくは約500-650°C（電気炉熱処理の場合、継続時間は好ましくは約15分から2時間である）または550-700°C（RTAの場合、継続時間は好ましくは約10秒から60秒である）で行われる。

【0038】コンデンサの側壁は好ましくはかなり急峻である。側壁拡散障壁は好ましくは層134の形成と相互接続孔のエッティングの前にコンデンサSTACK上に形成される（ステップ218）。側壁拡散障壁は、コンデンサを短絡することなくインタコネクトのミスアライメントを許容し、コンデンサの中にはほとんどの物質が拡散することからコンデンサを保護し、コンデンサからの物質の外への拡散から構造の残りを保護するので重要である。本発明のこの実施例では、側壁拡散障壁は二つの層（層118および120）として示されているが、側壁拡散障壁はより多くの、またはより少ない層で構成してもよい。好ましくは、層118は厚さが約30nmであり、Al<sub>2</sub>O<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>、AlN、TiO<sub>2</sub>、ZrO<sub>2</sub>、HfO<sub>2</sub>、またはそれらの任意のSTACKまたは組合せで構成される。そして層120は厚さが約30nmであり、窒化シリコン、AlN、またはそれらの任意のSTACKまたは組合せで構成される。酸化金属または窒化金属（有機金属プレカーソルを使用するときには特に、これは炭化酸化窒化物であってもよい）を堆積するための好適なプロセスは最小の自由水素の条件（すなわち、H<sub>2</sub>ではなくてH<sub>2</sub>Oが形成されるような充分な酸素）のもとでMOCVDである。プラズマエンハンストCVDまたはMOCVDプロセスを使用することも可能である。その代わりに、反応性スパッタ堆積は（酸化物に対する）Ar+O<sub>2</sub>、（窒化物に対する）Ar+N<sub>2</sub>、（酸化窒化物に対する）Ar+O<sub>2</sub>+N<sub>2</sub>とともに使用す

ことができる。窒化シリコンに対する好適なプロセスはCVDまたはPECVDである。低水素プロセスの場合、プロセスガスはSiH<sub>4</sub>とN<sub>2</sub>とすべきであり、ここでN<sub>2</sub>のフロー速度はSiH<sub>4</sub>のフロー速度よりずっと大きい。水素自由PECVDのSi<sub>3</sub>N<sub>4</sub>堆積プロセスの場合、SiC<sub>14</sub>+N<sub>2</sub>を使用すべきであり、この場合もSiC<sub>14</sub>のフロー速度よりずっと大きいN<sub>2</sub>のフロー速度とすることが有益である。ここに列挙した好適実施例の場合、AlO<sub>x</sub>層がPbおよびH拡散層として使用され、Si<sub>3</sub>N<sub>4</sub>層がコンタクトエッチストップとして使用される。

【0039】ピアエッチングは側壁層（たとえば、AlO<sub>x</sub>）で停止するように修正することができれば、それはエッチストップであり、付加的な層（すなわち、Si<sub>3</sub>N<sub>4</sub>）は必要でない。この場合、側壁の厚さを大きくする必要があるかも知れない。代わりのアプローチでは、堆積後に側壁材料をエッチバックする。このエッチバックは拡散障壁層の堆積後に行うことができる。一実施例では、AlO<sub>x</sub>（約40nmが好ましい）が堆積された後、エッチングガスを含む塩素（たとえば、BC<sub>13</sub>またはC<sub>12</sub>）を使用してエッチバックが行われ、その後Si<sub>3</sub>N<sub>4</sub>のPECVD堆積（約30nmが好ましい）が行われる。

【0040】エッチングの損傷がまだ熱処理によっていやされない場合には、側壁拡散障壁堆積の後に熱処理を行うことができる。PZTの場合、この熱処理は好ましくは、（電気炉熱処理の場合、約15分から2時間）約500-650°Cで、または（RTAの場合、約10秒から60秒）約550-700°Cで行われる。この選択が好ましいのは、強誘電体コンデンサの真上に形成される層間誘電体層の選択が、最大熱バジェットが約500°Cより低い低K材料である場合である。この熱処理は酸化または不活性雰囲気条件で行うことができる。

【0041】AlO<sub>x</sub>堆積プロセスの初めに、ウェーハの表側はFeRAM要素を露出した。AlO<sub>x</sub>堆積プロセスの結果、ツールが汚染することもあり、汚染しないこともある（汚染は、約10<sup>10</sup>個の原子/cm<sup>2</sup>である気にするレベルより上のレベルでの後のウェーハ上の付加的なFeRAMの汚染物質であると定義される）。FeRAMウェーハ上のAlO<sub>x</sub>堆積プロセスの結果として汚染に至らない場合には、この側壁拡散障壁を堆積する前にウェーハの裏側を湿式洗浄することが好ましい。FeRAMウェーハ上のAlO<sub>x</sub>堆積プロセスの結果として汚染した場合には、このステップの後に好適な裏側洗浄を行うことができる。ウェーハの裏側を洗浄するために使用される湿式薬品は最初に使用されたものと異なっているかも知れない。裏側の汚染は要素の集中レベルが異なっていると予想されるからである。

【0042】側壁拡散障壁の上に層間誘電体（一つまたは複数）が堆積される（ステップ220）。各レベル間

誘電体層（層112、134および160）の間に薄い誘電体層（図示しない）を形成してもよい。形成される場合、この薄い層は好ましくは、窒化シリコン、炭化シリコン、（SiCNO）、または酸化シリコン（好ましくは、高密度プラズマ酸化物）で構成される。更に、レベル間誘電体層112、134および160は好ましくは、酸化物、FSG、PSG、BPSG、PETEOS、HDPE酸化物、窒化シリコン、酸化窒化シリコン、炭化シリコン、炭化酸化窒化シリコン、低誘電率材料

10 （好ましくは、SiLK、ポーラスSiLK、テフロン、低Kポリマー（多分ポーラス）、エーロゲル、キセロゲル、黒ダイヤ、HSQ、または任意の他のポーラスガラス材料）、またはそれらの組合せまたはスタックで構成される。第一および第二のILD（112/134）の熱バジェットはFeRAMモジュールプロセスの細部に影響を及ぼす。第二の層間誘電体（134）の堆積後、好適プロセスは後続のリソグラフィプロセスのために表面を平坦にするために、好ましくはCMPを使用して誘電体を平坦にすることである。バックエンドメタライゼーションの選択に応じて、複数の処理オプションがある。エッチングされたAlメタライゼーションの場合、主なオプションはAlまたはWのピアに対するものである。ダマスカスメタライゼーション（AlまたはCuが好ましい）の場合、デュアル・ダマスカス（同時に充たされたピアおよび金属）またはシングル・ダマスカス金属の前に充たされた別個の金属のピア（Al、Cu、またはW）の選択がある。ピアとエッチングされた金属または（ピア第一と呼ばれる）シングル・ダマスカス金属を使用するプロセスルートのすべては、デュアル・ダマスカスのアプローチと比べてFeRAMプロセスの細部について、より近い。

【0043】ピア第一に対するプロセスフローは次の通りである。Cuのようなメタライゼーション方式に応じて、拡散障壁/エッチストップ（通常、炭化シリコン、窒化シリコン、窒化酸素シリコン、炭化酸化窒化シリコン）はILDの上に堆積される。次に、リソグラフィを使用して、パターン形成されたレジストを形成する。コンタクトエッチングプロセスは次のスタック、すなわち、反射防止コーティング（存在する場合）、エッチストップ（存在する場合）、ILD、ついでコンデンサの上にのる側壁拡散障壁（一つまたは複数）、を通してエッチングを行う。異なる各材料に対して多分、異なるエッチングプロセス（薬品およびプラズマ条件）が使用される（周囲に比べてコンタクトの上ではピアの深さが小さいからではない）。側壁拡散障壁がAlO<sub>x</sub>上のSi<sub>3</sub>N<sub>4</sub>で構成される好適実施例では、Si<sub>3</sub>N<sub>4</sub>はILDエッチングに対するエッチストップとして作用することができる。これは、種々のエッチングされる領域の間でILD厚さに高さの差があるゲートエッチングのような用途に対する標準エッチングである。ILDエッチングの

後、 $S_{13}N_4$ および(ビア孔によって露出される)AlO<sub>x</sub>が同じまたは異なる薬品を使用して次にエッチングされる。一般に、ビア面積が小さいので、すべてのエッチングステップは時間が定められる。しかし、ある実時間測定(光放射または気相RGA)を通った終点を定めることが好ましい。FeRAM損傷制御の場合、最下層側壁障壁エッチングプロセスを制御することが特に重要である。プラズマの損傷が小さく、エッチング速度が一様で、オーバエッチングが少ないプラズマ条件を使用することが好ましい。ビアのエッチングプロセスの後、アッシングプロセスとその後の湿式洗浄と乾燥によりレジストが通常除去される。

【0044】ビアエッチングステップの後、エッチングの損傷を除去するために熱処理プロセスステップ(ステップ222)を行うことが好ましい。PZTコンデンサ誘電体の場合、この熱処理は好ましくは、約500-650°C(電気炉熱処理は15分から2時間が好ましい)または約550-700°C(RTAは10秒から60秒が好ましい)で行われる。更にもっと好適なのは、約650°Cで約1分のRTAプロセスである。上電極の拡散障壁を酸化しないように不活性雰囲気( $N_2$ またはAr)の中で熱処理を行うことも好ましい。このオプションが好ましいのは、層間誘電体の選択が最大熱バジェットが500°Cより低い低K材料である場合である。第一または第二のILD(112/134)の最大熱バジェットによりこれが不可能になる場合には、RTAプロセスを使用して、そのILDに対して可能な最大熱バジェットを使用することが好ましい。

【0045】ビアが形成されると、標準のメタライゼーションを使用してビアを充たすことができる。代表的なメタライゼーションと拡散障壁は既に説明したが、窒化TaまたはTi/TiNの障壁とともに、Cu、W、ドーピングされたAlの金属を含む。洗浄と堆積との間の真空遮断なしにツールの中の障壁と金属層の堆積の前に、短プラズマ洗浄(たとえば、Ar、Ar+N<sub>2</sub>)を使用してビアの底部を洗浄することが好ましい。Cuの場合、Ta、Ta<sub>x</sub>NまたはTiN障壁を使用した後、Cuシード層堆積を行うことが好ましい。この後、銅が電解メッキされるか、または堆積されることが好ましい。レベル間誘電体より上のCuおよび障壁は好ましくは、CMPによって除去される。Wのビアの場合、Ti/TiNの障壁の後にCVDのWを使用することが好ましく、余分なタンクスチタンはエッチバックまたはCMPによって除去される。Alビアの場合、Ti/TiNの障壁の後にAlが堆積される(CVD、リフローしたPVD、または高温PVD)。ILDの上面のAlは除去するか、またはパターン形成とエッチングをして金属ラインを形成する。

【0046】上電極とPZTが導電性のハードマスクと拡散障壁の一方または両方、もしくは側壁拡散障壁によ

って保護されない場合には、ビアエッチングツール、ビア後洗浄、熱処理ツール、金属プラズマ洗浄、そして障壁堆積ツールさえもがFeRAM要素で汚染される可能性がある。この保護を行っても、プロセスの誤り、たとえば大きなオーバエッチングによってエッチングツールの汚染が生じ得る。したがって、プロセス制御と重要な監視に応じて、これらのツールは専用にしないで共用することができる。これらのツールを専用にする必要があると判断された場合には、FeRAM汚染が他の汚染されていないツールに拡がる機会を除去するために、ウェーハが最後の専用ツールを離れた後、裏側湿式洗浄プロセスを使用することも判断されるかも知れない。

【0047】次に、デュアルダマスクプロセスに対するプロセスフローについて説明する。ここで説明するフローはビア第一のフローであるが、強誘電体特有の側面の多くは他のプロセスフロールートにも当てはまる。Cuのようなメタライゼーション方式に応じて、拡散障壁/エッチストップ(好ましくは炭化シリコン、窒化シリコン、窒化酸素シリコン、炭化窒化シリコンで構成される)がILD上に堆積される。その後、上記の選択の一つを使用して、第二の金属間層誘電体(ILDまたはILD)が堆積される(ときに、その後にもう一つの拡散障壁/エッチストップが続く)。次に、リソグラフィを使用して、ビアのパターン形成を行う。次に、上記と同じ手順を使用してビアがエッチングされるが、今度は側壁拡散障壁に達する前に複数の誘電体層が存在する可能性がある。更に、デュアルダマスクアプローチに対する第一の(深い)ビアのアスペクト比はビアだけの場合より大きい。レジストのアッシング、ビアのエッチング、および洗浄の後、第一のビアがレジストで充たされ、金属パターンに対するリソグラフィが遂行される。金属パターンが上誘電体内にエッチングされ、深さがエッチングプロセスの間またはエッチストップにより制御される。次に、レジストが除去され、エッチングの破片が湿式洗浄により除去される。

【0048】次のステップはエッチング後の回収熱処理を行うことであり、このとき熱バジェットはより多くの誘電体層によって制限される。PZTで構成されるコンデンサ誘電体の場合、この熱処理は好ましくは約500-650°C(約15分から2時間の電気炉熱処理の場合)または550-700°C(約10秒から60秒のRTAプロセスの場合)で行われる。更により好ましいのは約650°Cで約1分間のRTAプロセスである。上電極拡散障壁を酸化しないように、不活性雰囲気( $N_2$ またはAr)の中で熱処理を行うことも好ましい。このオプションが好ましいのは、層間誘電体の選択が500°Cより低い最大熱バジェットの低K材料であるからである。ILDの最大熱バジェットによりこれが不可能になった場合、RTAプロセスを使用してそのILDに対して可能な最大熱バジェットを使用することが好ましい。

【0049】次のステップでは、障壁と金属を堆積することにより、ピアと金属ラインのくぼみを同時に充たす。代表的なメタライゼーションと拡散障壁については既に説明したが、ダマスカスプロセスの場合はこれらはTa、Ta<sub>N</sub>、またはTi/TiNの障壁とともに、Cu、W、ドーピングされたAlを含む。洗浄と堆積との間の真空遮断なしにツールの中の障壁と金属膜の堆積の前に、短プラズマ洗浄（たとえば、Ar、Ar+N<sub>2</sub>）を使用してピアの底部を洗浄することが好ましい。

【0050】デュアルダマスカスのアプローチにおける汚染の問題はピア第一のアプローチのそれと同様である。

【0051】上電極への電気的接続を与えるようにインタコネクト136が形成される。インタコネクトは導体144に接続される。導体144は好ましくはドライブライン140に接続される。ドライブライン140は好ましくは、デバイスの動作の間、約1.2ボルトの電位とされ、この電圧は使用される論理テクノロジーの世代とともにスケーリングされる。

【0052】本発明の一実施例についての以下の説明は、図2に示されるようなプロセスフローおよび図3a-3cに示されるようなメモリデバイスの横断図を中心とする。図1と同じ参照番号で表された図3a-3cの要素は同じか、または類似の要素を表す。

【0053】図3aおよび図2のプロセスステップ202に示すように、標準の半導体処理手法を使用してレベル間誘電体層112が形成され、（必要な場合）平坦化される。フォトレジスト層（図示しない）が形成され、コンタクト孔がレベル間誘電体層112の中にエッチングされる。フォトレジストが除去された後、障壁/ライン層116が毛布でおおうように（好ましくは、化学蒸着CVDを使用して）形成される。次に、コンタクト孔の残りを充たすように導電性の材料が毛布でおおうように形成される。プラグ114およびライナー/障壁116を形成するように、化学的機械的研磨（CMP:chemical-mechanical polishing）を使用して、レベル間誘電体層の上にある導電性の材料とライナー/障壁層の部分をエッチバックして研磨バックする。表面ができる限り平らになるようにCMPプロセスを使用することが好ましい。エッチバックプロセスによってくぼみが生じ、これによって後続の処理のための地勢が得られる。この地勢によって、強誘電体層の局部結晶テクスチャが劣化することがあり、その結果、コンデンサの特性が劣化することがある。

【0054】図2のステップに示すように、二層の酸化障壁層302が選択的に形成される。まず、CVD（標準の半導体産業プロセス）の後に、好ましくは、ArとN<sub>2</sub>の中の反応性スパッタ堆積によって堆積されるTiAlN（好ましくは、約30nm）を使用して、TiN

（好ましくは、約50nm）が堆積される。TiAlターゲットの好適な組成はTi<sub>10.6</sub>Al<sub>0.4</sub>であり、堆積プロセスは好ましくは、約50nm/分の堆積速度が達成されるようにスパッタ電力を設定して、ArとN<sub>2</sub>（約40/60の好適比）の中で約350°C（ウェーハ温度）で行われる。強誘電体コンデンサ誘電体のMOCVD堆積または強誘電体の酸素熱処理のような酸素を含むプロセスの間に酸素が導体の中に拡散することにより導体114の抵抗率が影響を受ける場合には、層302

10 (122)を形成するべきである。

【0055】次に、ステップ204で、下電極材料304（124）が形成される。このコンデンサを形成するために使用される誘電体材料306に応じて、下電極材料304を一つ以上の層で構成してもよい。この実施例では層304は好ましくは、ArとO<sub>2</sub>の雰囲気の中で反応性スパッタ堆積によって堆積されるIrO<sub>x</sub>の30nm下のスパッタ堆積によって堆積される約20nmのIrで構成される。所有コストの理由で同じ成長室の中でIrとIrO<sub>x</sub>を堆積することが好ましい。堆積は好ましくは、約50nm/分が達成されるようにスパッタ電力を設定して、Arの中で約300°Cのウェーハ温度で、その直後にガス雰囲気をAr+O<sub>2</sub>（30/70）に変え、IrO<sub>x</sub>の堆積速度が約30nm/分となるようにスパッタ電力を調整することにより、行われる。代わりの好適実施例は、下電極として厚さが好ましくは約100nm以下のIr層、より好ましくは約50nmのIrを含む。

【0056】TiNは共用ツールの中で堆積し、TiAlNは、IrとIrO<sub>x</sub>の一方または両方の成長室にクラスタされた専用ツールの中で堆積されることが好ましい。所有コストを下げるために同じ成長室の中でIrとIrO<sub>x</sub>を堆積することも好ましい。TiAlNの堆積の前にTiNが空気中に露出される場合、真空または不活性ガスの熱処理と（約1nmのTiNが除去される）プラズマ洗浄の一方または両方がTiAlNの堆積の前に行われることが好ましい。

【0057】図3bに示すように、ステップ208でコンデンサ誘電体層306が形成される。好ましくは層306（126）は、有機金属CVD（MOCVD）を使用して形成されるPZTの100nm未満（50nmが更により好ましい）で構成される。しかし、化学溶液堆積（ゾルゲルまたは有機金属分解）のような別の手法を使用することもできる。良好な強誘電体スイッチング特性（大きなスイッチング分極と比較的長方形に見えるヒステリシスループ）を得るために好適なZr/Ti組成は約20/80である。その代わりに、スイッチング分極とコンデンサ特性の一様さを最小にするためには、約65/35のZr/Ti組成が好ましいこともある。更に、約0.5から1%のドーナドーパントでドーナドーピングされたPZTとすることが好ましい。ドーナドー

パントは点欠陥の集中の制御を助けることにより、P Z Tの信頼性を改善する。MOCVDプロセス条件は好ましくは約600°Cより低い（更により好ましくは550°Cより低い）温度で行われる。P Z Tの堆積速度は100と200nm/分の間であるように設定される。膜組成の再現可能な制御を行うために、MOCVDプロセスは、溶剤と一緒に混合された有機金属プレカーソルの二つまたは一つのカクテルを使用することにより、それを液体に保持する。MOCVD炉は一つまたは二つの液化ガス蒸発器で液体を気化して、炉壁の温度を精密に制御することにより、プレカーソルが分解したり凝縮したりすることを防止する。好ましくは、ArまたはHeキャリアガスを使用してプレカーソルを反応室またはシャワーヘッドに流す。反応室またはシャワーヘッドで、プレカーソルは酸化剤（O<sub>2</sub>、N<sub>2</sub>O、またはH<sub>2</sub>O、O<sub>2</sub>が好適）と混合される。

【0058】ステップ210で、上電極308/310（128/130）が形成される。P Z Tコンデンサ誘電体の場合、好適な上電極スタックは、P Z Tコンデンサ誘電体の上に形成されたArとO<sub>2</sub>内の反応性PVDによって堆積された約2.0nmのI<sub>r</sub>O<sub>x</sub>の上にAr内のPVDによって堆積された約10nmのI<sub>r</sub>で構成される。比較的低いスパッタ電力、したがって、遅い堆積速度（2.0nm/分前後が好ましい）で残りのアルゴンと50%と80%との間のO<sub>2</sub>とのガス混合物の中で400°C未満でI<sub>r</sub>O<sub>x</sub>を堆積することが好ましい。所有権コストを低減するためにI<sub>r</sub>とI<sub>r</sub>O<sub>x</sub>は同じ室の中で堆積することが好ましい。

【0059】ステップ212で、ハードマスク312（132）を形成するように、ハードマスク層が形成され、パターン形成とエッチングが行われる。好ましくはハードマスクは、コンデンサスタックの後続のエッチングの間に明らかにエッチングされない材料で構成される。ハードマスク材料が導電性であれば、それも有益である。上電極への電気接続を行うのが容易になるからである。好ましくは、ハードマスクは200nmのスパッタ堆積されたTiAlN（40%のAlターゲット、Ar+N<sub>2</sub>（50/50）、400°Cのウェーハ温度）で構成される。代替案では、ハードマスクは50nmのTiAlNの上の300nmのSiO<sub>2</sub>で構成される。SiO<sub>2</sub>はTEOSのPECVDによって堆積される。ハードマスクスタックのもう一つの実施例は、50nmのTiAlNの上に形成された20nmのTiAlの上の30nmのTiAlNである。これらのすべての層は好ましくは、同じ室の中のスパッタ堆積によって堆積される。ここで、膜の組成は、ガス組成（窒化物の場合Ar+N<sub>2</sub>（50/50）、金属の場合Ar、酸化物の場合Ar+O<sub>2</sub>（90/10）またはAr+N<sub>2</sub>+O<sub>2</sub>（85/10/5））を変えることにより堆積の間に変えられる。

TiAlNは好ましくは、約100nm/分のTiAlNの堆積速度を達成するために、高電力で約400°Cで堆積される。これらのすべての場合、TiAlNをTiNに置き換えることができる。

【0060】リソグラフィツールの汚染を防止するために、ウェーハの裏側を洗浄することが好ましい。湿式エッチングプロセスは若干、ウェーハの裏側に存在する材料によって左右される（たとえば、それがSi、SiO<sub>2</sub>、またはSi<sub>3</sub>N<sub>4</sub>の場合）。湿式エッチングP Z Tは、ふっ素の強酸、または（更により好ましくは）酸と塩素およびふっ素のエッチング薬品との混合物、たとえばH<sub>2</sub>O+HF+HClまたはH<sub>2</sub>O+NH<sub>3</sub>F+HClを必要とすることがある。この薬品は、ウェーハの裏側/エッジに存在し得る低レベルのI<sub>r</sub>も除去する。

【0061】どの従来形式のパターン形成も使用することができるが、フォトレジストマスクが好適である。パターン形成マスクが形成された後、スタック全体をこの一つのマスクでエッチングする（ステップ214）。したがって、このエッチングはハードマスク、上電極、P Z T、下電極、および下電極拡散障壁をエッチングする必要がある。二つの好適なエッチングアプローチがある。

【0062】第一のエッチングアプローチは一つの高密度プラズマエッチング室を使用することにより、同じエッチング室で以下のプロセスシーケンスを使用してこれらの層のすべてをエッチングする。各々の場合、遠隔プラズマ密度は最大電力近くに設定される。ハードマスクはまず塩素薬品を使用してエッチングされる（SiO<sub>2</sub>ハードマスクが使用されない場合、この場合ふっ素と塩素の薬品が使用される）。一例のTiAlNエッチングレシピは、C<sub>12</sub>とN<sub>2</sub>（80/20）のエッチング用試薬、約10mTorrの圧力、および中位の基板バイアスで構成される。TiAlO<sub>x</sub>がハードマスクの一部である場合には、好ましくは、この層に穴をあけるように短い高電力ステップが付加される。ハードマスクのエッチング後、約40mTorrの圧力と小さい基板バイアスでO<sub>2</sub>とN<sub>2</sub>（85/15）を使用してレジストが除去される。I<sub>r</sub>/I<sub>r</sub>O<sub>x</sub>上電極は好ましくは、高バイアス（約100nm/分のエッチング速度）と低い圧力（約3mTorr）でC<sub>12</sub>+N<sub>2</sub>+O<sub>2</sub>薬品（60/20/20）を使用してエッチングされる。酸素を付加して、I<sub>r</sub>エッチングとTiAlNハードマスクエッチングとの間の高選択性を確実にする。P Z Tは、中間の圧力（約10mTorr）と高基板バイアス（約100nm/O<sub>2</sub>（分のエッチング速度）で塩素とふっ素を含む反応薬品（C<sub>12</sub>+CF<sub>4</sub>+N<sub>2</sub>+45/15/20/20））の中でエッチングされる。この場合も、P Z Tエッチング速度とハードマスクエッチング速度との間の良好な選択性を確実にし、P Z Tからの酸素損失を最小にするために、酸素が付加される。下電極は好ましくは、

25

上電極と同じレシピでエッティングされる。TiAlN下拡散障壁は好ましくは、二段階のレシピでエッティングされる。エッティング用試薬はCl<sub>2</sub>とN<sub>2</sub> (80/20) を含む。圧力は好ましくは約10mTorrであり、エッティングは高電力短時間ステップ (約30nmの除去) で始まり、その後の100%のオーバエッティング時間の低電力エッティングステップで行われる。

【0063】第二のエッティングアプローチは高温エッティングプロセスを使用して、Ir、IrO<sub>x</sub>、およびPZTのような室温近くの低揮発性の種類をエッティングする。したがって、プロセスシーケンスを以下に列挙する。SiO<sub>2</sub>ハードマスクの場合、SiO<sub>2</sub>はまず標準のSiO<sub>2</sub>エッティング薬品を使用して専用のSiO<sub>2</sub>エッティング室 (ふつ素薬品のみ) でエッティングされる。次に、標準のアッシングプロセス (たとえば、O<sub>2</sub>+N<sub>2</sub>+H<sub>2</sub>O+選択的なCF<sub>4</sub>) を使用して、レジストが除去される。(SiO<sub>2</sub>の下の) TiAlNは、好ましくは、前に説明したような類似の薬品と電力を使用するが、より高い圧力 (15-20mTorr) でIrの前に高温エッティング室の中でエッティングされる。TiAlNハードマスクの場合、前記のプロセス条件に類似したプロセス条件で室温に近いエッティング室が使用される。レジストはそのエッティング室の中で、または専用の室の中でも除去できる。Ir/IrO<sub>x</sub>上電極、PZT、IrO<sub>x</sub>/Ir下電極、およびTiAlN下電極拡散障壁は高温で、室圧力が10と20mTorrとの間になることを除いて室温で説明したのと同様なエッティングレシピを使用してエッティングされる。

【0064】次に、5分間、DIのH<sub>2</sub>Oまたは希酸 (たとえば、H<sub>2</sub>O+NH<sub>4</sub>F+HCl (500:1:1)) のメガソニック洗浄でタンクの中にウェーハを浸した後、DIのH<sub>2</sub>Oのスピinn、リンス、乾燥を行うことにより、ウェーハを洗浄する。代わりに、酸 (水) スプレー工具を使用することができる。

【0065】次のプロセスは図3cに示すように、側壁拡散障壁314/316 (118/120) の堆積を含む (ステップ218)。この層の利点は、この層が誘電体材料で構成され、上電極に接触するように形成されたコンタクトが少しずれた場合、この絶縁性の拡散障壁層がなければコンデンサの二つの電極が短絡することがあるということである。本発明のこの実施例では、拡散層は酸化アルミニウムの層316 (118) と窒化シリコンの層314 (120) で構成される。他の障壁層も使用することはできるが、この層の組合せが、コンデンサスタックまたはその後に続く必要な熱処理ステップに悪影響を与えることなく最良の拡散障壁の性質を与えるように思われる。好適アプローチはAlO<sub>x</sub>を堆積することである (15-50nm、より好ましくはPVDによる30nm、またはMOCVDによる20nm)。AlO<sub>x</sub>のスパッタ堆積は好ましくは、パルス状DC電源

26

と純粋Alターゲットを使用し、(15nm/分より小さい) 低堆積速度、300°Cのウェーハ温度、Ar+O<sub>2</sub> (92/8) を使用して行われる。

【0066】相互汚染を防止するために、強誘電体コンデンサのエッティングツール、湿式槽、スピinnリンス乾燥、および側壁拡散ツールはFeRAMプロセスモジュール専用にして共用しないことが好ましい。FeRAM構造の製造にだけ使用されて、他のどれにも使用されないように装置を専用することはしないことが好ましい。

10 そして、ツールを共用できないことを確実にするためにエッティングツール以外のすべてに対して汚染試験を行うことが推奨される。

【0067】後続の誘電体堆積ツールの汚染を防止するためにウェーハの裏側を洗浄することが好ましい。湿式エッティングプロセスはウェーハ (たとえば、Si、SiO<sub>2</sub>、またはSi<sub>3</sub>N<sub>4</sub>である場合) の裏側に存在する材料によって若干左右される。湿式エッティングPZTは通常、強ふつ素酸、または更に好ましくはH<sub>2</sub>O+H<sub>2</sub>F+HClまたはH<sub>2</sub>O+NH<sub>4</sub>F+HClのような塩素とふつ素と酸の混合物のエッティング薬品を必要とする。この薬品はウェーハの裏側/へりに存在し得る低レベルのIrも除去する。

20 【0068】次の好適ステップは、SiH<sub>4</sub>+N<sub>2</sub>の好適プロセス (1-100フロー速度) のPECVDによる薄いSi<sub>3</sub>N<sub>4</sub>のエッチングの堆積 (約15-50nm、より好ましくは20nm) である。

【0069】コンデンサより上に堆積することができる多数の可能な層間誘電体 (ILD) がある。FeRAMプロセスモジュールの目標は選択を制限することではなくて、プロセスフローがデバイスの残り (たとえば、論理部分) に対してどれでも最善なものを使用できるようになることである。しかし、PZTが使用される場合には、これは (PZT堆積後の) 热バジェットを約600°Cより低く制限する。そうでない場合には、選択は差を生じない。

【0070】ILD堆積後の最大热バジェットが600°Cより小さい場合には、AlO<sub>x</sub>堆積後に热処理を行うことが好ましい (可能な場合、RTAにより60秒間O<sub>2</sub>内で600から650°C)。

40 【0071】ILD堆積後に、サンプルは好ましくはCMPにより平坦化される。

【0072】バックエンドのメタライゼーションには多数の可能性がある。この場合も、FeRAMプロセスモジュールの目標はこの判断を制限することではなくて、論理部分のようなデバイスの残りの部分に対して最良であるものをプロセスフローが使用できるようになることである。この選択は、ピアエッティング後に、そしてピアエッティングプロセス自体により热バジェットに影響を及ぼす場合には、FeRAMプロセスモジュールに影響を及ぼす。二つのバックエンドのメタライゼーション方策

について説明する。二つの選択には、A1メタライゼーションのWビアが含まれる。第二の選択には、低K誘電体(低熱バジェット)のCuデュアルマスカスプロセスが含まれる。

【0073】WビアとA1メタライゼーションの例の場合、コンデンサより上のILDが600より大きい熱バジェットを許容することができれば、好ましい。

【0074】CMP平坦化後、ビアのパターン形成を行うためにリソグラフィが行われる。次に、4ステップのエッチング(反射防止コーティングエッチング、ILDエッチング、Si<sub>3</sub>N<sub>4</sub>エッチング、およびAlO<sub>x</sub>エッチング)を使用してビアのエッチングが行われる。A1O<sub>x</sub>エッチングがなければ、これは標準のビアエッチングプロセスである。好適なAlO<sub>x</sub>エッチングプロセスは、低圧力(約5mTorr)で大きなDCバイアスの高密度プラズマを使用する。AlO<sub>x</sub>とSi<sub>3</sub>N<sub>4</sub>のエッチングプロセスは、ウェーハ上で一様で反復可能なエッチングを行うようにチューニングされる。これにより、必要とされるオーバエッチングの量が最小になる。このエッチングがハードマスク312/132の上表面で停止するか、またはハードマスク312/132内に部分的にのみエッチングすることが重要である。エッチングステップの終点検出が好ましい。ビアのエッチング後、標準のビア洗浄プロセスを使用してウェーハが洗浄される。標準のビア洗浄プロセスでは通常、溶剤洗浄の後にD1スピン/リンス/乾燥が行われる。

【0075】ステップ222で、導体132とライナー138の形成の前に、本発明の熱処理を行うことにより、(強誘電体材料のエッチング、封止、およびコンタクトエッチングのような)コンデンサスタック処理によってコンデンサ誘電体に生じる損傷が除去され、これらの要素の電気的特性が改善される。この点でこの熱処理が行わなければ(すなわち、PZTスタックの側壁が露出した状態での熱処理が行われれば)、各コンデンサの周囲の近くでPbが失われる。PZT膜内のPbのこの損失の結果として、コンデンサ集積後に小さなコンデンサ(周囲対面積の比が大きなコンデンサ)の電気的特性が劣化する。本発明の熱処理は好ましくは、レベル間誘電体が形成され、ビア孔のパターン形成とエッチングが行われた後で、ビアを導電性の材料で充たす前に行われる。熱処理条件は、Ar、N<sub>2</sub>、または真空のような不活性雰囲気の中で約400から800°C(より好ましくは、約500から700°C、最も好ましくは、約600°C)で、継続時間が約30秒から5分(より好ましくは、約1から4分、最も好ましくは、約2分)である。ILD熱バジェットがこれを許さない場合には、RTAによりできる限り大きな利用可能な熱バジェットを使用して熱処理することが好ましい。

【0076】次に、ArまたはAr+H<sub>2</sub>を使用するビアのスパッタ洗浄後に、Ti上のTiNのスパッタ堆積

により拡散障壁ライナが堆積される。これらのツールのどれもが専用でないことが好ましい。しかし、汚染試験の結果、これらのツールにより処理された清浄なウェーハ上のFeRAM汚染が示された場合には、汚染されたコンタクトエッチング後のすべてのツールは専用とする必要があり、プロセスフローのこの点でFeRAM汚染を除去するためのウェーハ裏側洗浄を行う必要がある。

【0077】使用される場合には、ビアを充たすためにCVDのWが堆積され、CMPまたはエッチバックを使用して上表面からWを除去する。次に、A1メタライゼーションが堆積される。これは好ましくは、Tiの上にあるTiN上にある(Cuドーピングされた)Alの上のTiNのスタックで構成される。次に、Alがパターン形成され、エッチングされる。後続のすべてのプロセスはFeRAMプロセスモジュールの影響を受けない。特に、メタライゼーションプロセスステップ内で、またはプロセスフローの終わりに形成ガス熱処理を使用することが好ましい。この熱処理は一般に500°Cより低いからである。

【0078】低K誘電体(低熱バジェット)のCuデュアルマスカスの特定の例の場合、コンデンサより上のILDの堆積後に450°Cの最大熱バジェットが好ましい。コンデンサのエッチングの損傷を除去するために側壁障壁堆積後に、前に説明したように熱処理を行うことが好ましい。

【0079】CMP後に、CVDによりSiCONの薄いエッチング(15nm)が堆積された後、低Kで低熱バジェットのIMD熱バジェットが堆積され、その後にSiCONのもう一つの薄い(15nm)エッチング(15nm)が堆積される。次に、リソグラフィを使用して、ビアのパターン形成が行われる。次に、下記の層、すなわち、反射防止コーティング(ある場合)、SiCO、IMD、SiCON、ILD、Si<sub>3</sub>N<sub>4</sub>、AlO<sub>x</sub>を通してビアのエッチングを行うべきである。Si<sub>3</sub>N<sub>4</sub>とAlO<sub>x</sub>の詳細については既に説明した。次に、レジストが除去され、ビアが(好ましくは湿式プロセスを使用して)洗浄される。次に、リソグラフィを使用して、金属要素のパターン形成が行われる。次に、好ましくは、反射防止コーティング(ある場合)、SiCON、およびIMDだけを通して金属エッチングを行うことにより、下側のSiCON層上で止まる。次に、レジストが除去され、金属とビアが洗浄される。ビアのエッチング洗浄後、またはN<sub>2</sub>または好適不活性ガスの中での金属エッチング後に利用できる最大熱バジェットで熱処理を行うことが好ましい。次のステップは金属堆積であり、これはプラズマ洗浄、その後のTaNxシード層、Cuシード層の堆積、その後のCuのめっきまたは堆積によるビアの充てんで構成される。CuとTaNは上記のIMDからCMPにより除去される。

【0080】これらのどのツールも専用でないことが好

ましい。しかし、汚染試験の結果、これらのツールにより処理された清浄なウェーハ上のF e R A M汚染が示された場合には、汚染されたコンタクトエッティング後のすべてのツールは専用とする必要があり、プロセスフローのこの点でF e R A M汚染を除去するためのウェーハ裏側洗浄を行う必要がある。

【0081】無水素コンタクトエッティングの実施例

本発明のこの実施例は、図2のプロセスステップ220を変更する。しかし、図1に示すようなデバイス構造はプロセスのこの変更により変えても変えなくてもよい。本質的に本発明は、強誘電体コンデンサの上電極をドライブラインに接続し、図1のレベル169の導体または半導体を図1のレベル170のメタライゼーションに接続するために使用されるコンタクト開口をエッティングするための新規なエッティング薬品とプロセス条件セットである。

【0082】図4a-4dに示される本発明の実施例によれば、P Z Tは水素の存在によって減ることがあり得る。その結果、スイッチング分極が小さくなり、これは後の熱処理によって充分に回復することも回復しないこともある。本発明の一実施例では、ハードマスクは複数の層で構成され、この中でT i A 1 N層が上電極の上にとどまる。もう一つの実施例では、上電極の上にT i A 1 Nは残されない。本発明のこの実施例では、側壁拡散障壁（好ましくはA 1 O<sub>x</sub>とA 1 Nの一方または両方で構成される）は層402、404、および406の中の二つの層として堆積され、そして選択的にエッチバックされてコンデンサスタック上に側壁を形成することができる。層402は好ましくはA 1 O<sub>x</sub>で構成され、層404は好ましくはA 1 Nで構成される。好ましくは、層402、404、および406の中のもう一つの層は層間エッチトップ材料、好ましくは窒化シリコンで構成される。代表的には、C H F<sub>3</sub>またはC H<sub>2</sub> F<sub>2</sub>のような水素を含むプラズマを使用して窒化シリコンはエッティングされる。したがって、これらの層をエッティングしてT i A 1 N層とコンデンサの上電極の一方または両方へのコンタクトを形成する間に、水素が上電極を通ってP Z T材料に拡散し、好ましくないことにこの層の電気的と物理的の一方または両方の特性を変えてしまうことがあり得る。したがって、本発明の方法とエッティング用試薬は、上電極へのコンタクトのエッティング（窒化シリコン層、A 1 O<sub>x</sub>層、A 1 N層等を通るエッティング）のための、水素のないエッティング用試薬を含む。更に、このエッティング用試薬およびエッティングプロセスはT i A 1 N、層312の障壁材料に対してかなり選択的であるべきである。これにより、本発明のコンタクトエッティングの後、この層の一部は上電極上で変わらないままとなる。更に詳しく説明すると、本発明の層402、404、406、408、410等をエッティングするためのエッティング用試薬はC F<sub>4</sub>、C<sub>2</sub> F<sub>6</sub>、C<sub>4</sub> F<sub>8</sub>、C<sub>5</sub> F<sub>8</sub>、

C<sub>x</sub> F<sub>y</sub>、N F<sub>3</sub>、S F<sub>6</sub>またはそれらの任意の組合せで構成され、好ましくは、高密度プラズマに組込まれる。本発明に対するエッティング用試薬は付加的に、A r、N<sub>2</sub>、O<sub>2</sub>、O<sub>3</sub>、C O、C O<sub>2</sub>、N H<sub>3</sub>、H<sub>2</sub>、C<sub>x</sub> H<sub>y</sub>、N<sub>2</sub> O、N O、H<sub>2</sub> O、またはそれらの組合せで構成される。更に、水素を含むコンタクトエッティングのステップは水素を含むガス薬品、N H<sub>3</sub>、H<sub>2</sub>、C<sub>x</sub> H<sub>y</sub>、H<sub>2</sub> O、C<sub>2</sub> F<sub>5</sub> H、C<sub>4</sub> F<sub>7</sub> H、C F<sub>3</sub> H、C<sub>x</sub> F<sub>y</sub> H<sub>2</sub>をも含んでもよい。水素障壁がエッティングされた構造とコンデンサ誘電体との間にある場合には、水素を含むエッティング用試薬を使用して構造をエッティングしてもよい。

【0083】図4aに示すように、半導体デバイス処理で普通に行われているようにウェーハ全体の上にレベル間誘電体層408が形成される。好ましくは、レベル間誘電体層408は図1の層134と同等であり、酸化物、F S G、P S G、B P S G、P E T E O S、H D P酸化物、窒化シリコン、酸化窒化シリコン、炭化シリコン、炭化酸化窒化シリコン、低誘電率材料（好ましくは、S i L K、ポーラスS i L K、テフロン、低Kポリマー（多分ポーラス）、エーロゲル、キセロゲル、黒ダイヤ、H S Q、または任意の他のポーラスガラス材料）、またはそれらの組合せまたはスタックで構成される。必要な場合には、層408は平坦化され、そして好ましくは、H D P酸化物、窒化シリコン、酸化窒化物、またはそれらの組合せまたはスタックで構成されるキャッピング誘電体層を平坦化層408の上に形成しても形成しなくてもよい。このキャッピング誘電体層は図には示されていない。層408は三つの材料で構成される拡散障壁の上に形成される。拡散障壁は連続層として示されているが、コンデンサスタックに対する側壁を形成するために異方性でエッチバックすることもできる。下記する材料の、より少ない、またはより多い層を使用する他の構成も可能である。層402は好ましくは、A 1<sub>2</sub> O<sub>3</sub>、より一般的に書けばA 1 O<sub>x</sub>、T a<sub>2</sub> O<sub>5</sub>、A 1 N、T i O<sub>2</sub>、Z r O<sub>2</sub>、H f O<sub>2</sub>、またはそれらの任意のスタックまたは組み合わせの、約5から50 nm、より好ましくは約10から30 nm、最も好ましくは約15から20 nmで構成される。好ましくは、層404は、A 1 N、A 1 O<sub>x</sub>、T a<sub>2</sub> O<sub>5</sub>、T i O<sub>2</sub>、Z r O<sub>2</sub>、H f O<sub>2</sub>、またはそれらの任意のスタックまたは組み合わせの、約10から75 nm、より好ましくは約20から30 nm、最も好ましくは約40から50 nmで構成される。層406は好ましくは、S i<sub>x</sub> N<sub>y</sub>、S i<sub>3</sub> N<sub>4</sub>、A 1 N、またはそれらの任意のスタックまたは組み合わせの、約21から100 nm、より好ましくは約25から55 nm、最も好ましくは約30から40 nmで構成される。この層は層408のエッティングの間、エッチトップとしての役目を果たす。この層に対するエッティング用試薬は水素を含んでも含まなくともよい。

【0084】図4bに示すように、レベル間誘電体層4

08の上にB A R C (bottom anti reflective coating、下反射防止コーティング) 層410が形成される。次に、フォトレジスト層412 (または他のパターン形成材料) が形成され、コンタクト414および416を形成すべきB A R C層410の部分を露出するようにパターン形成される。B A R C層の露出された部分はエッチングされる。本発明の一実施例に対する好適エッチングパラメータが表2に示してある。B A R C層410がエッチングされた後、層406に対する良好なエッチング選択度を与えるエッチング用試薬でレベル間誘電体層408がエッチングされる。次に、層406、404、および402がエッチングされる。好適な薬品とプロセス条件が表2に示されている。この実施例では、側壁拡散障壁層402、404、および406はすべて同じ無水素エッチング薬品を使用してエッチングされる。層402、404、および406は、エッチングされる層のしたの層に対するエッチング選択度を最適にするように、異なるエッチング用試薬および異なるプラズマ条件でエッチングしてもよい。しかし、上電極層310を露出するとのプラズマエッチング処理の間も、水素を含むどんなエッチング用試薬も避けるべきである。以下、一例について説明する。

【0085】表2に示す本発明の一実施例に対する好適エッチングプロセスでは、好ましくはS i O<sub>2</sub>で構成される層408は、好ましくはS i<sub>3</sub>N<sub>4</sub>で構成される層406に対して5:1より大きいエッチング選択度で約300nm/分の速度でエッチングされた。本発明のこの実施例では同じプラズマプロセスを使用し、無水素エッチング用試薬を使用して、層406、404、および402がエッチングされる。

【0086】図4cに示すように、層402および404の露出部分のエッチングの前または後に、フォトレジストマスク412およびB A R C層410を除去することができ、浄化ステップを遂行することができる。好ましくは、層402および404の露出部分は同じ室内で除去され、同じ薬品とプロセス条件を利用する。しかし、そうである必要はない。同じ場合には、薬品とプロセス条件が表2に示してある。表2でT F Oは"throttle fully open" (スロットル完全開) を表す。ポンプとプラズマ室との間のスロットル弁を部分的に開放して、プラズマ室の圧力を制御することができる。更に、「コイル電流比」はイオンフラックスの方向と一様性を制御する電磁石の内側コイルと外側コイルの電流をそれぞれアンペア単位で表したものである。表2にリストされたパラメータの中のいくつかは使用しているプラズマエッチングツールである高密度M O R Iソースに特有のものである。類似のガス薬品による異なるエッチングプラットホーム上の類似のプロセスが、本発明で説明された所望の結果を与えるはずである。

【0087】以下の好適実施例では側壁拡散障壁は、好ましくは約20nmの厚さのA l O<sub>x</sub>層と、その上の好ましくは約30nmの厚さのS i<sub>3</sub>N<sub>4</sub>の上層からなる2層で構成される。S i<sub>3</sub>N<sub>4</sub>層とそれより上のすべての層は、標準のエッチング薬品を使用してコンタクトエッチングでエッチングすべきである。標準のエッチング薬品は水素を含んでも含まなくてもよい。反応性エッチング薬品はふっ素をベースとしている。水素を含まない薬品でA l O<sub>x</sub>層をエッチングするために、次に説明するエッチング薬品およびプロセス条件は最適化される。好適なエッチング条件は、表2に示された条件と同様な、低圧、高電力プラズマである。A l O<sub>x</sub>に対する好適なエッチング薬品は塩素化合物薬品、ふっ素薬品、窒素薬品、および酸素薬品である。N<sub>2</sub>の代わりに不活性ガスを使用することができる。水素を含まず、したがって、ふっ素源として使用できる、多数の異なるふっ素化合物がある。以下の説明ではC F<sub>4</sub>が使用されるが、C F<sub>4</sub>の代わりにC<sub>2</sub>F<sub>6</sub>、C<sub>4</sub>F<sub>8</sub>、C<sub>5</sub>F<sub>8</sub>、C<sub>x</sub>F<sub>y</sub>、N F<sub>3</sub>、S F<sub>6</sub>のような他のガスも使用できる。C l<sub>2</sub>、B C l<sub>3</sub>、C<sub>x</sub>F<sub>y</sub>C l<sub>z</sub>化合物等の別の薬品を使用することもできる。好適薬品の例を相対的な流量 (sccm単位) とともに示すと、C l<sub>2</sub>+C F<sub>4</sub>+N O (20-60/0-50/20-50)、C l<sub>2</sub>+C F<sub>4</sub>+N<sub>2</sub>+O<sub>2</sub> (20-60/0-50/0-50/10-30)、C l<sub>2</sub>+C F<sub>4</sub>+A r +O<sub>2</sub> (20-60/0-50/0-50/10-30)、C l<sub>2</sub>+C F<sub>4</sub>+N<sub>2</sub>+C O (20-60/0-50/0-40/10-30) である。これらの薬品のすべては、A l O<sub>x</sub>と、その下にある、好ましくはT i NまたはT i A l Nで構成される導電性の窒化物拡散障壁との間のエッチング選択度を改善するために酸化剤を含む。酸素は導電性の窒化物のエッチング速度を劇的に下げ、したがって、選択度を改善する。これらのエッチング薬品の一つの例はC l<sub>2</sub>/O<sub>2</sub>/C F<sub>4</sub> (50/20/20 sccm) である。これは約50nm/分のA l O<sub>x</sub>のエッチング速度を達成するために、1200Wの電源電力、300Wのバイアス電力、および8mTorrのプロセス条件で利用される。第二の例はC l<sub>2</sub>/N<sub>2</sub>/O<sub>2</sub> (25/25/25 sccm) であり、これは1200Wの電源電力、400Wのバイアス電力、および5mTorrのプロセス条件に対して8nm/分のA l O<sub>x</sub>のエッチング速度をそなえている。

【0088】これらの示唆された薬品の一つの欠点は、そうでなければ反応性のふっ素化合物に露出されるだけであるエッチングリアクタに対する塩素の付加が室の壁上の粒子の蓄積を増加させるということである。この粒子の蓄積は本来の場所の室洗浄プロセスを使用することにより減らすことができる。この室洗浄プロセスは真のウェーハの間に周期的に配置されたダミーウェーハ (たとえば、ダミー:真、1:1、1:2、1:4、1:8、1:12、1:25) で動作させるか、もしくはエ

ッティングプロセスの最後のステップまたはその近くで動作させる。この洗浄プロセスでは、Ar、N<sub>2</sub>、CF<sub>4</sub>のような少量のふつ素化合物等とともにO<sub>2</sub>を使用することができる。

【0089】プロセスフローによっては、側壁拡散障壁エッチバックプロセスを使用して、コンデンサの側面にだけ側壁拡散障壁の一つ以上の層を残す。この型のプロセスフローの一例は、好ましくはAlO<sub>x</sub>で構成される側壁拡散障壁の堆積と、その後に続くエッチバックプロセスとを含む。エッティング洗浄ステップとあり得る熱処理ステップを除けば、次の主要なプロセスステップは第二の側壁拡散障壁、好ましくはSi<sub>3</sub>N<sub>4</sub>の堆積となる。この第二の側壁拡散障壁の主要な機能はコンタクト\*

\*エッチストップとして作用することである。AlO<sub>x</sub>エッチバックプロセスとSi<sub>3</sub>N<sub>4</sub>コンタクトエッチストップとはともに水素がないことが好ましい。両方のステップとも、上電極が露出されるからである。好適なAlO<sub>x</sub>エッチバックプロセスは前記の好適AlO<sub>x</sub>コンタクトエッティングプロセスと同じである。好適Si<sub>3</sub>N<sub>4</sub>エッティングプロセスは、使用するにしても塩素ガスをほとんど利用せず、したがって、示唆されたふつ素を含むガスの量が増えることを除けば、前記の好適なAlO<sub>x</sub>エッティングプロセスと同じである。

【0090】

【表2】

表 2

ステップ	BARCエッティング*	層408のエッティング*	層402,404,および406のエッティング*
圧力 (mTorr)	TFO (~1.75)	TFO (~2.5)	TFO (~2.0)
電源電力(ワット)	1250	1000	1500
バイアス電力(ワット)	500	1000	1000
コイル電流比	25:70	25:75	25:70
CF <sub>6</sub> (sccm)		35	
CH <sub>2</sub> F <sub>2</sub> (sccm)	20	40	
CHF <sub>3</sub> (sccm)		80	
CF <sub>4</sub> (sccm)	75		30
Ar (sccm)			70
He冷却(Torr)	15	15	15
チャック温度(℃)	20	20	20
時間(秒)	30	115	70

【0091】好ましくは、層402および404をエッティングする本実施例のエッティングステップはハードマスク312、および相互接続孔116の中のプラグ114を露出する。しかし、このエッティングステップでは、好ましくは、ハードマスク312の下のTiAlN層にまでずっと貫通して上電極を露出することはない。

【0092】図4dには導電性の相互接続が示されている。好ましくは、導電性の相互接続はライナー/障壁層430と導電性プラグ432で形成される。ライナー/障壁層430は好ましくは、Ti、TiN、TiSiN、Ta、窒化タンタル、TaSiN、HfN、ZrN、TaAlN、CrN、またはそれらの任意のスタックまたは組合せで構成される。好ましくは、導電性プラグ432はCu、(好ましくはCuドーピングされた)Al、Wで構成され、好ましくは、Ti、TiN、

Ta、TiAlN、TiSiN、TaSiN、またはそれらの任意のスタックまたは組合せで構成される拡散障壁ライナーを好ましくはそなえている。

【0093】本発明の代替実施例では、下電極はバターン形成とエッティングがされないので、ウェーハの一部または全部の上に連続した導体を形成する。本発明の方法とエッティング用試薬を使用すると、エッティングは下電極304の上面で止まる。これは前記実施例で導体114と誘電体層112の上面でエッティングが止まるのと同様である。

【0094】コンデンサ障壁層の実施例

あるコンデンサ誘電体(たとえば、PZT、およびBSTのような高誘電率、高Kの材料)への水素の拡散は誘電体の電気特性を劣化させる。多くの標準の半導体処理50ステップは水素ガス、重水素ガスの一方または両方を用

い、また処理に使用されるいくつかの材料は水素または重水素を含む。コンデンサ誘電体を保護するために、そのまわりに障壁を形成して、水素がコンデンサ誘電体の中に拡散できないようにするべきである。図5-8、10、および11の導電性の下拡散障壁302、図1の導電性の下拡散障壁(CBDB: conductive bottom diffusion barrier) 122、図5、6、および8-11の導電性の拡散障壁／ハードマスク312(CTDB: conductive diffusion barrier/hardmask)は、下と上からコンデンサ誘電体306の中への水素の拡散を減らすか、または消去する材料から形成することができる。しかし、これらの層はコンデンサ誘電体306の側面への水素の拡散からコンデンサ誘電体を保護するようには配置されていない。コンデンサ誘電体の側面への水素の拡散を減らし、そして好ましくは消去するために、コンデンサの側面に拡散障壁(ISDB)が好ましくは形成され、そして好ましくは、それを通つて水素が容易には拡散しない材料で構成される。更に、ISDBはコンデンサスタックのどの部分とも悪影響を及ぼすように反応すべきではない。水素がコンデンサ誘電体の中に拡散すると、コンデンサ誘電体の電気的特性が劣化し、その結果、漏れの増加、スイッチング分極の減少のような性能の劣化が生じる。コンデンサ誘電体を保護するために、そのまわりに障壁を形成して、水素がコンデンサ誘電体の中に拡散できないようにするべきである。

【0095】コンデンサは、厚さが異なる、そして多分厚さが変化する複数の材料(すなわち、ISDB、CBDB、およびCTDB)によって保護すべきであるが、コンデンサ全体の保護は「コンデンサ水素熱バジェット」で特徴付けることはできる。この熱バジェットが重大なコンデンサ特性をあまり劣化させないように、「コンデンサ水素熱バジェット」が設定される。したがって、コンデンサ熱バジェットがプロセス水素熱バジェットより大きいことが好ましく、そうでないとデバイスの劣化が生じる。一般に、コンデンサ全体の水素熱バジェットは、与えられた温度で貧弱な水素障壁材料となる材料によって制御される。更に、障壁の特性は、強誘電体材料またはその成分との反応性により、または種々のエッティングプロセスからの損傷／汚染により、劣化することがあり得る。一般に、プロセス全体の水素熱バジェットを満足するように要求される障壁材料の型毎に「臨界

厚さ」と呼ばれる最小の厚さがある。障壁層の材料を臨界厚さより薄くしたとき、孔またはギャップがない状態で水素障壁の障害が起こり得る。したがって、構造およびプロセスを制御して、薄いスポットがプロセスの範囲全体にわたって形成されないように、そして代表的な、または標準のプロセス条件のもとで生じないようにすることが重要である。

【0096】図5から11に示される本発明の実施例は本発明の異なる拡散障壁およびコンデンサのレイアウト10を示す。図および本発明の説明のこの部分を通して、いくつかの略号が使用される。略号は表3に説明されている。表3には、これらの構造の各々に対する好適材料と、好適材料の代わりに、または好適材料とともに使用することができる。他の材料も列挙してある。

【0097】一般に使用される可能な一つの側壁障壁材料は窒化シリコンである。この障壁材料の一つの問題は堆積プロセスは通常、水素を使用するということである。たとえば、窒化シリコンの堆積はシランおよび窒素ガス源(通常、N<sub>2</sub>またはNH<sub>3</sub>)を使用して形成される。この組合せの結果、シリコンから窒素への結合、シリコンから水素への結合、および水素から窒素への結合をそなえた膜が得られる。シリコンから窒素への結合、および水素から窒素への結合は本発明で使用される処理温度でかなり安定である。しかし、後続の処理の温度のいくつかでは、シリコンから水素への結合は安定でない。したがって、後続の高温ステップの間、窒化シリコン膜は水素源として作用し得る。水素の損失を最小にするための一つの方法は、N<sub>2</sub>に富んだガス混合物、好ましくはガス比が1/100より小さいSiH<sub>4</sub>/N<sub>2</sub>、30より好ましくはガス比が1/500より小さいSiH<sub>4</sub>/N<sub>2</sub>とともにシランおよびN<sub>2</sub>を使用してPECVDによりSi<sub>3</sub>N<sub>4</sub>を堆積することである。もう一つの可能な、水素のないCVD堆積プロセスは、1/50より小さい好適ガス比、より好ましくは1/200より小さいガス比のSiCl<sub>4</sub>+N<sub>2</sub>を使用するPECVDである。もう一つの可能性は、SiターゲットおよびAr+N<sub>2</sub>ガス混合物を使用し、好ましくは、パルス状DC電源を使用するSi<sub>3</sub>N<sub>4</sub>のスパッタ堆積である。しかし、このアプローチは、CVDアプローチがそなえている利点のいくつかをそなえていない。

【0098】

【表3】

表3

略号	説明	好適材料	代替実施例
BE	下電極	Ir	貴金属 (Pt, Ir, Rh, Ru, Pd, Au, Ag) のような酸素安定な誘電性材料、または導電性酸化物 (IrO <sub>x</sub> , RuO <sub>x</sub> , PtRuO <sub>x</sub> , PtIrO <sub>x</sub> , RhO <sub>x</sub> , PdO <sub>x</sub> , PtO <sub>x</sub> , AgO <sub>x</sub> , LaNiO <sub>3</sub> , LaSrCoO <sub>3</sub> , SrRuO <sub>3</sub> )
CBDB	導電下電極 拡散障壁	TiAlN	TiN, TiAlN, TiSiN, TaSiN, CrN, HfN, ZrN, WN, TaN, TaAlN, CrAlN のような導電性耐火塗化物
CCDB	導電コンタクト 拡散障壁	TiAlN	TiN, TiAlN, TiSiN, TaSiN, CrN, HfN, ZrN, WN, TaN, TaAlN, CrAlN のような導電性耐火塗化物
CTDB	導電上電極 拡散障壁	TiN	TiN, TiAlN, TiSiN, TaSiN, CrN, HfN, ZrN, WN, TaN, TaAlN, CrAlN のような導電性耐火塗化物
CVDB	導電ピア 拡散障壁	TiN	TiN, TiAlN, TiSiN, TaSiN, CrN, HfN, ZrN, WN, TaN, TaAlN, CrAlN のような導電性耐火塗化物
Ferro	強誘電体 または高誘電率材料	Pb(Zr, Ti)O <sub>3</sub>	Ba <sub>1-x</sub> Sr <sub>x</sub> TiO <sub>3</sub> (x=0 から 1), BaZrO <sub>3</sub> , TiO <sub>2</sub> , ZrO <sub>2</sub> , HfO <sub>2</sub> のような高誘電率材料、ドーゼン <sup>1</sup> された PZT のような強誘電体、SrBi <sub>2</sub> (Ta, Nb) <sub>2</sub> O <sub>9</sub> , Bi <sub>4</sub> Ti <sub>3</sub> O <sub>12</sub> , KNbO <sub>3</sub> のような層状 Perovskite
IBDB	絶縁下拡散 障壁		低 H 拡散酸化物 (AlO <sub>x</sub> , BO <sub>x</sub> ) 低 H 拡散塗化物 (AlN, BN, Si <sub>3</sub> N <sub>4</sub> )
ISDB	絶縁コンデンサ 側壁拡散障 壁	AlO <sub>x</sub>	低 H 拡散酸化物 (AlO <sub>x</sub> , BO <sub>x</sub> ) 低 H 拡散塗化物 (AlN, BN, Si <sub>3</sub> N <sub>4</sub> )
TE	上電極	IrO <sub>x</sub>	貴金属 (Pt, Ir, Rh, Ru, Pd, Au, Ag) のような酸素安定な導電性材料、または導電性酸化物 (IrO <sub>x</sub> , RuO <sub>x</sub> , PtRuO <sub>x</sub> , PtIrO <sub>x</sub> , RhO <sub>x</sub> , PdO <sub>x</sub> , PtO <sub>x</sub> , AgO <sub>x</sub> , LaNiO <sub>3</sub> , LaSrCoO <sub>3</sub> , SrRuO <sub>3</sub> )

【0099】米国特許出願第 x x / x x x, x x x 号 (T I - 2 9 9 6 9) に説明されているように、コンデンサの上電極上にハードマスク 312 (図 4 a) が形成される。好ましくは、コンデンサスタックのエッチング前は、ハードマスクは複数の層で構成される。コンデンサスタックのパターン形成とエッチング後は、ハードマスク 312 はより少数の層で構成される。好適実施例では、ハードマスクはもとは 3 層で構成される。すなわち、TiAlN 層の上にある TiAlO<sub>x</sub> 層の上に TiAlN 層が設けられる。しかし、コンデンサスタックのエッチングステップ (ステップ 214) 後は、好ましくは、TiAlN 層またはそれと同等のものだけが、そして多分 TiAlO<sub>x</sub> 層の一部またはそれと同等のものが残る。この残っている層 (一つまたは複数) は図では CTD B 層と表されている。そして CTD B 層が上電極全体の上に配置され、それを通して水素が容易に拡散しない材料で CTD B 層が構成される限り、コンデンサ構造の上に ISDB 層を形成する必要はない (すなわち、使用するにしても、ISDB 層は側壁にありさえすればよい)。このより複雑なハードマスク構造の一つの利点

は、コンデンサのエッチング後に、上電極の厚さがずっと一様であるということである。より簡単なハードマスクのアプローチの一つの問題は、比較的傾斜の浅いコンデンサのへりで CTD B 層がずっと薄くなるということである。その結果、エッチ液に接触した後、またはエッチバックプロセスが行われた後、ISDB 層または CTD B 層が薄くなるか、または無くなる。これは水素拡散に対する経路を提供する。TiAlN が使用される場合には、Ti 対 Al の好適な比は約 50 / 50 から約 70 / 30 の範囲にある。CTD B に対する TiAlN の代わりに、窒化チタンまたは表 3 に示される他の代替材料のどれでも使用することができる。

【0100】ISDB 層は好ましくは、材料の異なる複数の層で構成される。コンデンサ誘電体の側面と接触している ISDB 層の層 402 は好ましくは、コンデンサ誘電体と反応しない材料で形成されるべきである。したがって、PZT がコンデンサ誘電体として使用される場合には、層 402 は好ましくは酸化アルミニウムで構成される。層 402 は表 3 に代替実施例として列挙された材料のどれから製造してもよい。好ましくは、層 402

は「臨界厚さ」より厚い。層402の厚さは好ましくは約10から40nm、より好ましくは約10から25nm、最も好ましくは約15から17nmである。層402は、RFスパッタリングまたはパレス状DCスパッタリングのようなスパッタリング手法を使用して、もしくはCVDにより、形成される。好適なプロセスはCVDまたはPECVDである。ただし、このようなプロセスがスパッタ堆積に比べて、ISDB材料のよりよいステップカバレージを与える場合に限る。層402をRFスパッタリングにより形成したとき、プロセス堆積条件は、電源電力約1kWで、周囲圧力が約1から2mTorrである。層402を形成するための本発明の方法で実現される利点には、酸素を含むプラズマを使用して層402の堆積を助けることが含まれる。AlO<sub>x</sub>がかなりゆっくりと堆積するという事実により、酸素プラズマはPZT層の側壁と相互に作用することができる。これは、PZT層の損傷のいくぶんかを「修理」し、PZT層からの残留物のいくぶんかを洗浄する。コンデンサ構造はコンデンサスタックのエッチング(ステップ214)の後に、酸素を含むプラズマを受けてもよく、この同じ効果が得られる。

【0101】ISDBは、図に示される層404および406のような付加的な層で構成してもよい。好ましくは、絶縁層は層402の上に形成されるが、必ずしも層402と接触しない。層402は、ビア432を形成するために層408を通って開くビアを形成することに対して有効なエッチング層としても作用する。このことは重要である。というのは、コンデンサの側壁が傾斜しており、そしてビアのエッチングがコンデンサスタックに対して少しずれている場合には、好ましくは層406であるエッチング層が、エッチングプロセスによって生じた損傷を軽減したり消去するからである。したがって、層406は好ましくは、充分に厚い、好ましくは約10から70nm、より好ましくは約30nmの窒化シリコンの層で構成され、有効なエッチング層として作用する。

【0102】上ビアがコンデンサに対してずれているときにコンタクトがコンデンサを短絡させないようにするためにもISDBは重要である。上ビアがコンデンサに対してずれていれば、ビア金属は上電極の他に下電極にも接触する。側壁拡散障壁はコンデンサ側面で強誘電体および上電極をおおうだけでなく、ビア金属が下電極に接触することも防止することができる。コンデンサの側壁の傾斜が比較的急峻である場合には、側壁の垂直厚さはその投影された厚さよりずっと厚い。上ビアのエッチングまたはエッチバックアプローチで上表面で側壁を通してエッチングすると、平らに近い領域からISDBを除去した後にコンデンサ側壁にISDBが残ることになる。

【0103】コンデンサが下にあるコンタクトより上で

ずれており、上コンタクトが下にあるコンタクトとそろっているときは、コンデンサの側面がISDBによって保護されても、余りに薄いISDBにより上ビアが下にあるコンタクトに直接接続してしまう。解決策は、最悪の場合のミスアライメント(通常3シグマ)でも上ビアが下にあるコンタクトに接続接続されないように充分な厚さをそなえるようにISDBを形成することである。

【0104】側壁層を所望の厚さとするために、いくつかの異なるプロセスアプローチがある。第一のアプローチは種々の層402、404、および406の一つ以上の層の厚さを大きくすることである。このアプローチの一つの欠点は、ISDBの誘電率は層間誘電体層に比べて大きいので、非エッチバックアプローチのISDB層がより厚くなると、寄生キャパシタンスが大きくなるということである。エッチバックアプローチでは、ISDBがコンデンサの側壁にだけ残るので、この寄生キャパシタンスの増大は避けられる。

【0105】一つの好適アプローチでは、好ましくは厚さが約60nmの厚いAlO<sub>x</sub>層を堆積した後、好ましくは水素の無いエッチングプロセスを使用してAlO<sub>x</sub>層のエッチバックを行い、その結果、側壁に約30-40nmの層が得られる。厚さはコンデンサの側壁の傾斜、エッチングプロセス、および堆積プロセスのステップカバレージによって左右される。異なる上ビアのエッチング高さを許容するための上ビアエッチストップとして、薄い、好ましくは約20nmのSi<sub>3</sub>N<sub>4</sub>層がAlO<sub>x</sub>層とコンデンサスタックの上に堆積される。上ビアのエッチングプロセスがこのエッチストップを必要としない場合には、これを含める必要はない。

【0106】第二の好適アプローチでは、好ましくは厚さが約15nmの薄いAlO<sub>x</sub>層を堆積した後、好ましくは厚さが約45nmのより厚いAlN層を堆積する。次に、AlN、そして多分AlO<sub>x</sub>をエッチバックし、その結果、側壁に厚さが約30-40nmの層が形成される。異なる上電極のエッチング高さを許容するためのビアエッチストップとして、薄い、好ましくは約20nm厚のSi<sub>3</sub>N<sub>4</sub>層が上に堆積される。上ビアのエッチングプロセスがこのエッチストップを必要としない場合には、これを含める必要はない。

【0107】第三の好適アプローチでは、好ましくは厚さが約15nmの薄いAlO<sub>x</sub>層を堆積した後、好ましくは厚さが約45nmのより厚いSi<sub>3</sub>N<sub>4</sub>層を堆積する。次に、Si<sub>3</sub>N<sub>4</sub>、そして多分AlO<sub>x</sub>をエッチバックし、その結果、側壁に厚さが約30-40nmの層が形成される。異なる上電極のエッチング高さを許容するためのビアエッチストップとして、薄い、好ましくは約20nm厚のSi<sub>3</sub>N<sub>4</sub>層が上に堆積される。上ビアのエッチングプロセスがこのエッチストップを必要としない場合には、これを含める必要はない。

【0108】本発明の一側面によれば、薄いSi<sub>3</sub>N<sub>4</sub>の

堆積とエッチバック、および後続の  $Si_3N_4$  エッチストップ層の堆積はすべて同じ室内、または一緒にクラスターされた一連の室内で行われる。代替案では、堆積とエッチバックの組合せプロセスを使用して、コンデンサの側壁にだけ  $Si_3N_4$  を堆積した後、同じプロセス室でウェーハ全体の上に薄い  $Si_3N_4$  を堆積する。

【0109】好ましくは、前に説明したように、より少數のシリコン-水素結合が形成されるように窒化シリコン層406が形成される。この層からの水素の拡散がコンデンサの性能に悪影響を及ぼすことがあるからである。換言すれば、半導体チップ上に構造の残りを製造するために必要とされる、より高温のプロセスステップの間、堆積によって層に含まれる水素の量が同じままになるように、窒化シリコン層406が好ましくは製造される。目標は、後続の熱プロセスの間、 $Si_3N_4$ からの水素の損失を防止することにより、水素の損失で高誘電率層、すなわち、この例ではPZTの水素劣化が生じる可能性を減らすか、または消去することである。

【0110】層402が有効な水素障壁であるとともに他の要素に対する障壁であり、層406が有効なエッチストップ層であり、そしてそれが望まれる場合には、層404を形成する必要はない。層404が形成される場合には、これは好ましくは窒化アルミニウムで構成される。好ましくは、層404は有効な水素障壁として作用するように充分に厚く、好ましくは厚さが約10から75nmで、より好ましくは厚さが約30nmである。層404は、RFスパッタリングまたはパルス状DCスパッタリングのようなスパッタリング手法を使用して、もしくはCVDにより、製造される。層404を形成するためのプロセス条件は好ましくは、層402を形成するためのプロセス条件に類似している。層404を使用して側壁拡散障壁を厚くすることができ、したがって、コンタクトエッチングがコンデンサを短絡しないようにすることを助ける。

【0111】図5-11の上電極309は単一の層（好ましくは、IrまたはIrO<sub>x</sub>）で構成してもよく、あるいは上電極309は図1の層128および130もしくは図3a-3cおよび4a-4dの層308および310のような材料のスタックで構成してもよい。更に、上電極は、従来の手法を使用して、または図1の層128および130もしくは図3a-3cおよび4a-4dの層308および310を形成するために使用されるような本発明の方法を使用して、製造してもよい。

【0112】ビアライナー層430はTi、TiN、Ta、Ta<sub>2</sub>N、Ti/TiN、またはTa/TaNのような標準材料で構成してもよく、表3に示されているような本発明の障壁層から製造することもできる。たとえば、ライナー層430はTiAlN、または表3に示されている他の任意の導電障壁材料で構成することができる。ビアライナーが必要とされないこともあり得る。た

とえば、銅は、後続の熱処理の間に自己不活性化障壁を形成するマグネシウムのような要素をドーピングすることができる。

【0113】図5に示されるような本発明の実施例では、層312が上電極309をおおうので、ISDBはコンデンサスタックの側壁にだけ形成される。図5は垂直な側面をそなえた理想的なコンデンサスタックを示す。ISDBは好ましくは、（図6に示されるように）コンデンサ構造とレベル間誘電体層112の全体の上に位置するように形成される。次に、ISDBが異方性エッチバックされることにより、コンデンサスタックの上有るISDBの部分、およびコンデンサスタックの隣に位置しない誘電体層の部分が除去される。図5のISDBの上のへりが丸くなることが（図1に示されるゲート側壁の場合のように）あり得る。この異方性エッチングに対して標準のどのエッチングを使用してもよいが、上記のような、そして表2のエッチングが好適である。図5-8のコンデンサ構造は「プレーナ」コンデンサ構造と呼ばれる。

【0114】図6のコンデンサ構造は図5のコンデンサ構造に類似しているが、図6のコンデンサに対してはISDBの異方性エッチングは行われない。したがって、ビアが形成されるところを除いてコンデンサスタックの上で、そしてレベル間誘電体層112の上で、ISDBはそのまま残る。図7に示すようにCTDBが形成されないか、または有効な水素または他の拡散材料の障壁となるにはCTDBが薄過ぎるコンデンサについては、この型の構造は好ましい。ビアの開口は好ましくは、前に説明され、図4a-4dに示される本発明の実施例を使用して形成される。

【0115】図8のコンデンサ構造は図6のコンデンサ構造に類似しているが、相違点はコンタクトの中に形成される導電性の障壁領域706（CCDB）と、下電極304と誘電体層112との間またはCDB302と誘電体層112との間に形成される絶縁拡散障壁702（IBDB）とが追加されたことである。好ましくは、CCDB706はCDB302と同じ材料で構成されるか、またはCCDB706は金属に対する好適な拡散障壁材料が良好な水素拡散障壁である場合には、それで構成される。しかし、CDB302とCCDB706は同じ材料で形成される必要はない。窒化チタンは好ましくはWまたはAlビア金属に対するCCDB706を製造するために使用され、Cuビア金属に対してはTa<sub>2</sub>N（Ta<sub>2</sub>N、Ta<sub>2</sub>N、またはTa<sub>2</sub>N）が好ましいが、表3に列挙された他の材料を使用してもよい。CCDB706は好ましくは、CDB302を形成するために使用されるのと同じ処理条件を使用して製造される。しかし、CCDB706を形成するために、ビアの中に残された、またはビアの中に形成されるボイドを完全に充たすのに充分な厚さの材料層が堆積される。次に、ブ

ンケットエッチバックまたはCMPのような平坦化ステップが好ましくは遂行されて、層112の上に形成された材料の部分が除去される。このプロセスは好ましくは、シングルビアプロセスを使用して遂行されるが、デュアルダマスカスも使用することもできる。好ましくは、CCDB706はIBDB702の後に形成される。IBDB702は、コンタクト孔をエッチングする前に層112の上にIBDB材料の層を堆積することにより形成される。次に、堆積された材料と層112がエッチングされて、コンタクト孔が形成される。IBDB702は好ましくは、5から50nmの厚さのオーダで、酸化アルミニウム、または表3に示された他の材料で構成される。この実施例の利点は、コンデンサスタックが拡散障壁によって完全に封止されるということである。

【0116】上ビアはその代わりに、Ta/TaNまたはTi/TiN拡散障壁をそなえた銅で構成されるダマスカス金属層であることも可能である。この可能性は他の好適実施例を限定しない。前に説明したプロセスの問題は同様であるからである。

【0117】図9-11の実施例は、コンデンサ誘電体306に対して高誘電率(高K)材料を使用して製造されたFeRAMコンデンサまたはDRAMコンデンサに対する三次元コンデンサ構造を示す。これらの実施例の利点は、コンデンサがCCDB706、IBDB702、ISDB、ライナー430、CBDB302、およびCTDB312によって完全に封止される。図9のコンデンサ構造は好ましくは、まずコンタクト構造および拡散障壁IBDBとCCDBを形成した後、下電極304を形成することにより製造される。下電極304は好ましくは、Pt、Ir、IrO<sub>x</sub>、またはこの三つのスタックのような材料の層を堆積した後、その層のパターン形成とエッチングを行うことにより下電極構造を形成することにより、形成される。好ましくは、係属米国特許出願第xxx/xxx, xxx号(TI-29966)に説明されているように、コンデンサ誘電体材料、上電極材料、およびハードマスク材料が堆積された後、エッ\*

\*チングされる。次に、ISDB層が形成され、そして多分異方性エッチングされて、構造の残りの部分とともに側壁を形成する。

【0118】図10および11の実施例は少し異なった風に形成される。これらの実施例は、誘電体層1002の中に形成された開口の下と側面、溝または孔と適合するようにCBDB302、下電極304、コンデンサ誘電体306、および上電極309を形成する能力を必要とする。開口は好ましくは、円、正方形、長方形、またはこれらのいずれかの隅を丸めたバージョンである横断形状をそなえている。誘電体層1002は好ましくは、層112および408に類似した材料で構成され、同様に形成される。コンタクト114と層112が形成された後、層1002がIBDB702とともに形成される。次に、これらの層の両方を通って開口がエッチングされ、CBDB302と下電極304が開口の側面および下と合うように形成される。好ましくは、次に、研磨動作が行われて、層702の上にある層302および304の部分が除去される。しかし、代替実施例では、これらの二つの層はコンデンサ誘電体層306、上電極309、および導電性拡散障壁312とともにパターン形成およびエッチングされる。次に、コンデンサ誘電体層306、上電極309、および導電性拡散障壁312は、前記の手法を使用して、堆積、パターン形成、およびエッチングされる。ISDB層(一つまたは複数)が形成され、そして異方性エッチバックにより図10の側壁を形成するか、または図9に示すように(ビア孔の形成以外は)変更されないままとされる。

【0119】本発明の特定の実施例を説明したが、これらは発明の範囲を限定するものと考えるべきではない。明細書に開示された方法に照らして当業者は本発明の多数の実施例を考えつき得る。発明の範囲を限定するのは特許請求の範囲だけである。

【0120】関連米国特許/特許出願に対する相互参照  
本発明と同じ譲受け人に譲渡された下記の米国特許/特許出願はここに引用することにより本明細書の一部として組み入れる。

特許番号/追番	出願日	TIケース番号
60/171, 159	12/22/1999	TI-29966
60/171, 754	12/22/1999	TI-29968
60/171, 794	12/22/1999	TI-29969
60/171, 755	12/22/1999	TI-29972
60/171, 772	12/22/1999	TI-30077
60/171, 800	12/22/1999	TI-29970
09/392, 988	09/09/1999	TI-26586
09/105, 738	06/26/1998	TI-25297
09/238, 211	01/27/1999	TI-26778

【0121】以上の説明に関して更に以下の項を開示する。

(1) コンデンサ構造であって、側面と上表面とをそな

えた下電極と、上表面と側面とをそなえ、前記下電極の前記上表面の上に配置されたコンデンサ誘電体であつて、水素により劣化する電気的特性をそなえるコンデン

サ誘電体と、上表面と側面とをそなえ、前記コンデンサ誘電体の上に配置された上電極と、前記コンデンサ誘電体の前記側面の上に配置された窒化シリコン層と、前記コンデンサ誘電体の前記側面と前記窒化シリコン層との間に配置された酸化アルミニウム層とを具備するコンデンサ構造。

【0122】(2) 第1項記載のコンデンサ構造であって、前記コンデンサ誘電体がP Z Tを含む、コンデンサ構造。

(3) 第1項記載のコンデンサ構造であって、前記上電極がイリジウム、酸化イリジウム、またはそれらのスタックの任意の組合せを含む、コンデンサ構造。

【0123】(4) 第1項記載のコンデンサ構造であって、前記下電極がイリジウム、酸化イリジウム、またはそれらのスタックの任意の組合せを含む、コンデンサ構造。

【0124】(5) 第1項記載のコンデンサ構造であって、前記酸化アルミニウム層が前記下電極の前記側面と、前記上電極の前記側面と、前記コンデンサ誘電体の前記側面の上に配置された、コンデンサ構造。

【0125】(6) 第1項記載のコンデンサ構造であって、前記酸化アルミニウム層が前記下電極の前記側面と、前記上電極の前記側面と、前記コンデンサ誘電体の前記側面と接触して配置された、コンデンサ構造。

【0126】(7) 第1項記載のコンデンサ構造であって、前記酸化アルミニウム層が前記上電極の前記上表面の上に配置された、コンデンサ構造。

【0127】(8) 第1項記載のコンデンサ構造であって、前記酸化アルミニウム層と前記窒化シリコン層との間に配置された第一の層も更に含まれ、前記第一の層はB O<sub>x</sub>、A 1 N、B N、またはそれらのスタックの任意の組合せを含む、コンデンサ構造。

【0128】(9) 本発明の一実施例はコンデンサ構造(図1の125)であって、側面と上表面とをそなえた下電極(図1の124)と、上表面と側面とをそなえ、前記下電極の前記上表面の上に配置されたコンデンサ誘電体であって、水素により劣化する電気的特性をそなえるコンデンサ誘電体(図1の126)と、上表面と側面とをそなえ、前記コンデンサ誘電体の上に配置された上電極(図1の128および130)と、前記コンデンサ誘電体の前記側面の上に配置された窒化シリコン層(図1の120)と、前記コンデンサ誘電体の前記側面と前記窒化シリコン層との間に配置された酸化アルミニウム層(図1の118)とを具備するコンデンサ構造である。

#### 【図面の簡単な説明】

【図1】本発明の一実施例の方法を使用して製造される、部分的に製造されたデバイスの横断面図である。

【図2】本発明の一実施例のプロセスフローを示すフローフーである。

【図3a】図2に示された本発明の一実施例の方法を使用して製造される、部分的に製造された強誘電体メモリデバイスの横断面図であって、図2のステップ202等に対応する図。

【図3b】図2に示された本発明の一実施例の方法を使用して製造される、部分的に製造された強誘電体メモリデバイスの横断面図であって、図2のステップ208等に対応する図。

【図3c】図2に示された本発明の一実施例の方法を使用して製造される、部分的に製造された強誘電体メモリデバイスの横断面図であって、図2のステップ218等に対応する図。

【図4a】本発明の一実施例の方法を使用して製造される、部分的に製造されたF e R A Mデバイスの横断面図であり、レベル間誘電体層408の形成等を示す図。

【図4b】本発明の一実施例の方法を使用して製造される、部分的に製造されたF e R A Mデバイスの横断面図であり、B A R C層410の形成等を示す図。

【図4c】本発明の一実施例の方法を使用して製造される、部分的に製造されたF e R A Mデバイスの横断面図であり、B A R C層410の除去等を示す図。

【図4d】本発明の一実施例の方法を使用して製造される、部分的に製造されたF e R A Mデバイスの横断面図であり、導電性の相互接続を示す図である。

【図5】本発明の一実施例を使用して形成される、部分的に製造された本発明の実施例のコンデンサの横断面図である。

【図6】本発明の一実施例を使用して形成される、部分的に製造された本発明の実施例のコンデンサの横断面図である。

【図7】本発明の一実施例を使用して形成される、部分的に製造された本発明の実施例のコンデンサの横断面図である。

【図8】本発明の一実施例を使用して形成される、部分的に製造された本発明の実施例のコンデンサの横断面図である。

【図9】本発明の一実施例を使用して形成される、部分的に製造された本発明の実施例のコンデンサの横断面図である。

【図10】本発明の一実施例を使用して形成される、部分的に製造された本発明の実施例のコンデンサの横断面図である。

【図11】本発明の一実施例を使用して形成される、部分的に製造された本発明の実施例のコンデンサの横断面図である。

#### 【符号の説明】

118 側壁拡散障壁

120 側壁拡散障壁

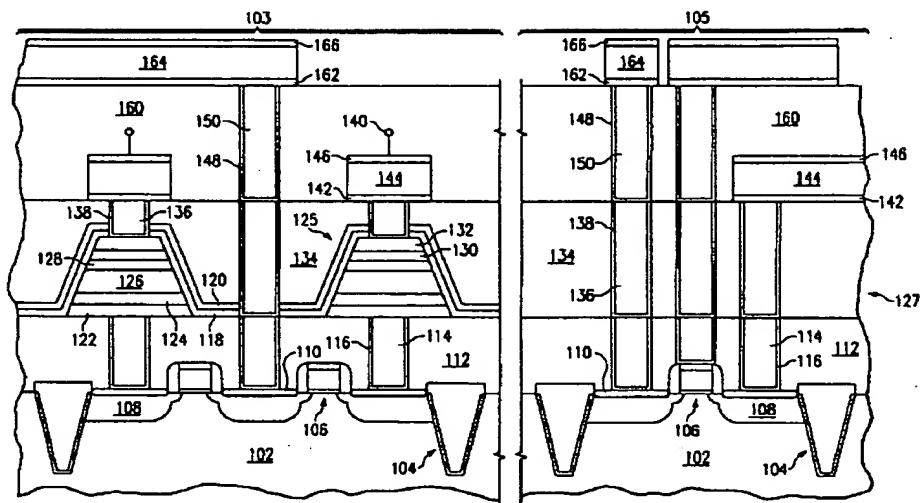
124 下電極材料

125 コンデンサ

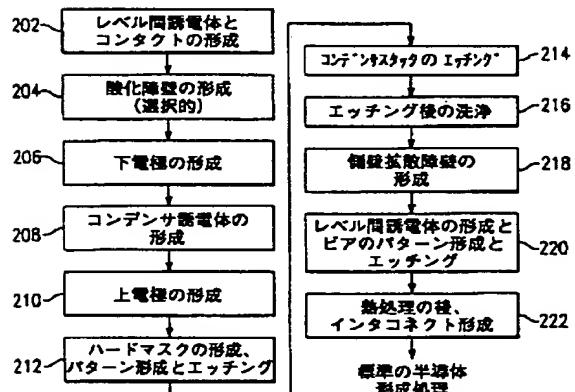
126 コンデンサ誘電体層  
 128 上電極  
 130 上電極  
 304 下電極材料  
 306 コンデンサ誘電体層

308 上電極  
 310 上電極  
 314 側壁拡散障壁  
 316 側壁拡散障壁

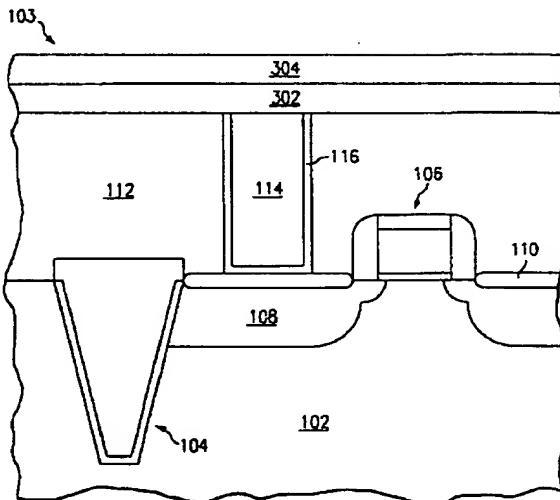
【図1】



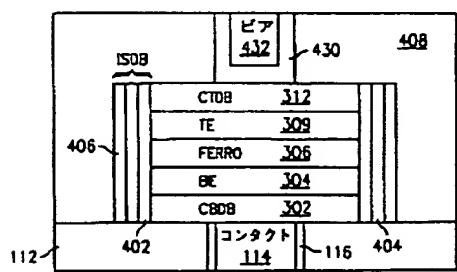
【図2】



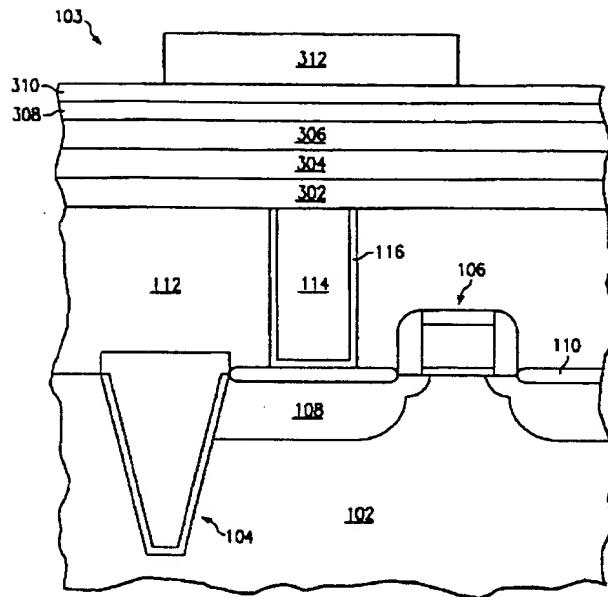
【図3 a】



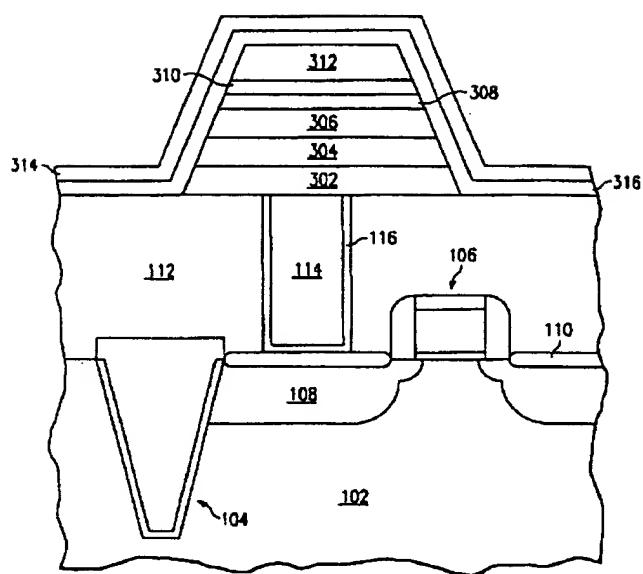
【図5】



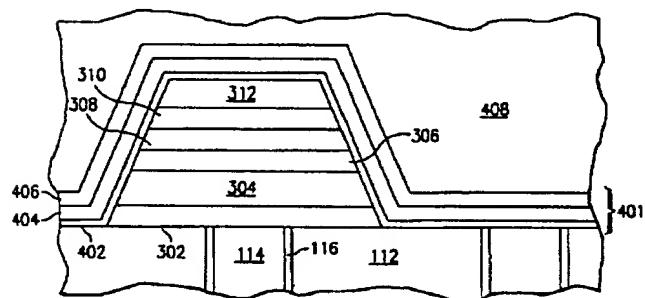
【図3b】



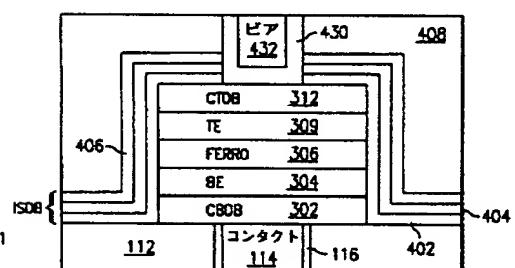
【図3c】



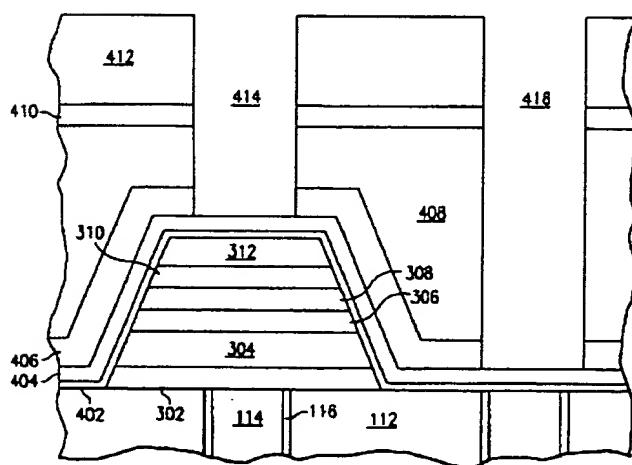
【図4a】



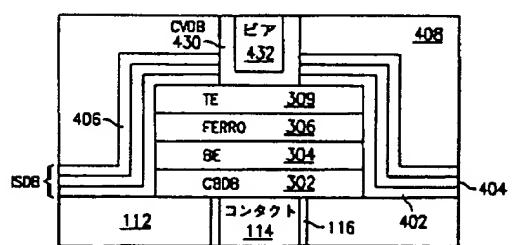
【図6】



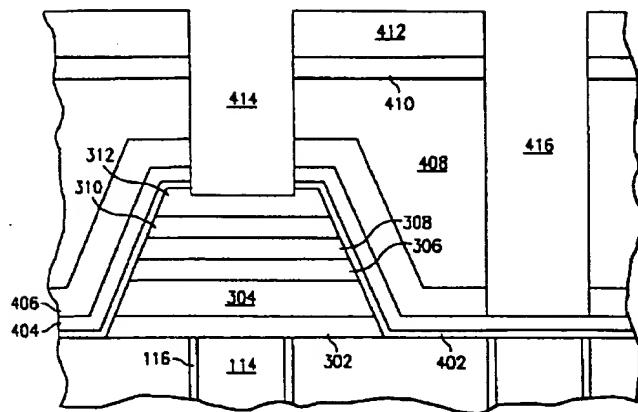
【図4b】



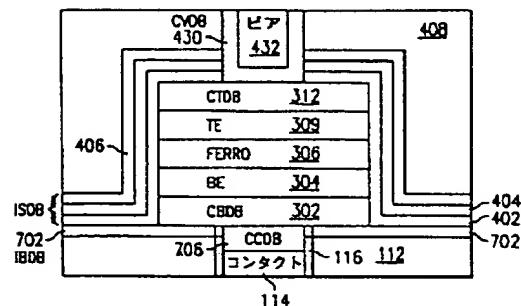
【図7】



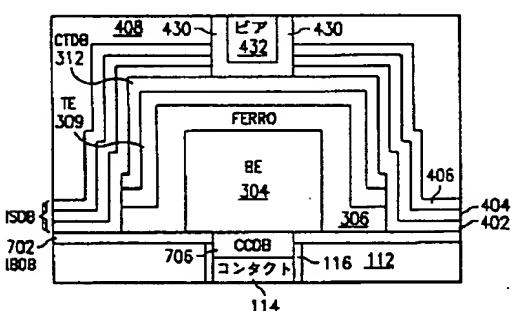
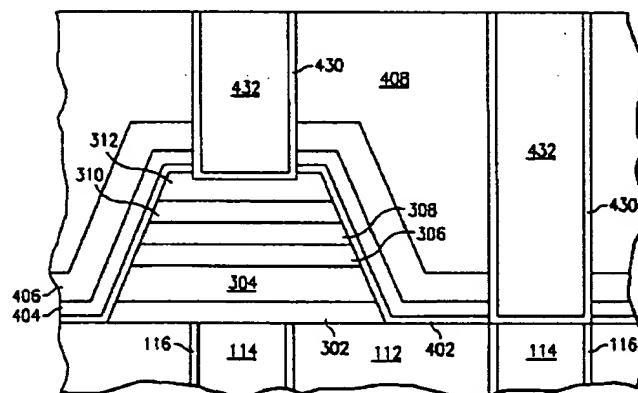
【図4c】



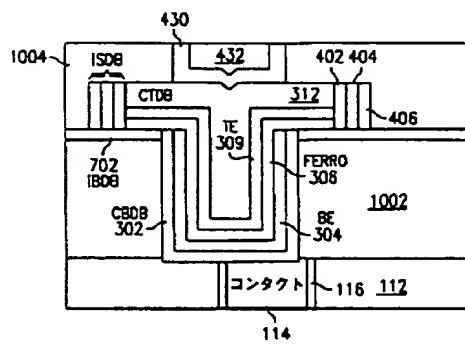
【図8】



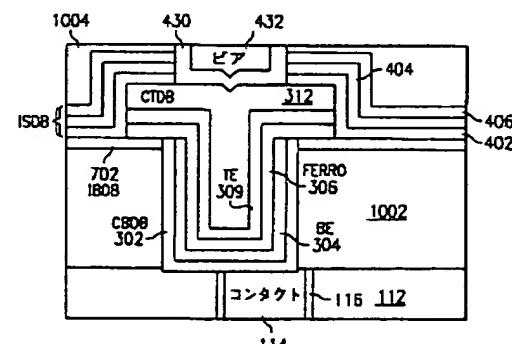
【図4d】



【図10】



【図11】



## フロントページの続き

(72) 発明者 スチーブン アール、ギルバート  
アメリカ合衆国 カリフォルニア、サンフ  
ランシスコ、フレドリック ストリート  
166、ナンバー 33

(72) 発明者 ルイジ コロンボ  
アメリカ合衆国 テキサス、ダラス、イエ  
ロー ロック トレイル 6144  
(72) 発明者 セオドア エス、モイズ  
アメリカ合衆国 カリフォルニア、ロスア  
ルトス、アーサー コート 1200

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**